

JAPAN PATENT OFFICE

This is to certify that the annexed is a true copy of the following application as filed with this office.

Date of Application: January 8, 2003

Application Number: 2003-002167 [JP2003-002167]

Applicant(s): Oki Electric Industry Co., Ltd.

Dated June 24, 2003

Commissioner,
Japan Patent Office

Shinichiro Ohta

Certificate No. 2003-3049759

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 1月 8日

出 願 番 号

Application Number:

特願2003-002167

[ST.10/C]:

[JP2003-002167]

出 願 人

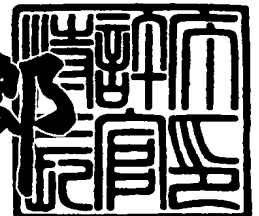
Applicant(s):

沖電気工業株式会社

2003年 6月24日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3049759

【書類名】 特許願

【整理番号】 OH003798

【あて先】 特許庁長官殿

【国際特許分類】 H01L 23/12

【発明者】

 【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会
社内

 【氏名】 閑野 義則

【特許出願人】

 【識別番号】 000000295

 【氏名又は名称】 沖電気工業株式会社

【代理人】

 【識別番号】 100085419

 【弁理士】

 【氏名又は名称】 大垣 孝

【手数料の表示】

 【予納台帳番号】 012715

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9001068

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 複数の電極パッドを具備している第 1 の主表面と、該第 1 の主表面に対向する第 2 の主表面と、該第 1 の主表面及び該第 2 の主表面間の複数の側面とを有する半導体チップと、

第 1 の面と、該第 1 の面と対向する第 2 の面とを有していて、前記半導体チップの前記側面に接して該半導体チップを囲み、前記第 1 の面が前記第 1 の主表面のレベルと、実質的に同一のレベルとなるように形成されている拡張部と、

第 1 の表面と、該第 1 の表面と対向する第 2 の表面を有していて、該第 1 の表面が、前記拡張部の第 2 の面及び前記半導体チップの第 2 の主表面に接してこれらを支持し、かつ前記半導体チップが発生する熱を伝導して、該熱を該第 2 の表面側から大気中に放散することができる下地と、

複数の前記電極パッドの一部分を露出させて、前記第 1 の面上及び前記第 1 の主表面上に形成されている絶縁膜と、

前記電極パッドの各々に電氣的に接続されていて、該電極パッドから前記拡張部の第 1 の面の上側へと導出されている、複数の配線パターンと、

前記配線パターン及び前記絶縁膜上に、該配線パターンの一部分を露出させて形成されている封止部と、

前記拡張部の上側を含む領域の前記配線パターン上に設けられた複数の外部端子とを具備していることを特徴とする半導体装置。

【請求項 2】 複数の電極パッドを具備している第 1 の主表面と、該第 1 の主表面に対向する第 2 の主表面と、該第 1 の主表面及び該第 2 の主表面間の複数の側面とを有する半導体チップと、

第 1 の面と、該第 1 の面と対向する第 2 の面とを有していて、前記半導体チップの前記側面に接して該半導体チップを囲み、かつ前記第 1 の面が前記第 1 の主表面のレベルと実質的に同一のレベルとなるように形成されている傾斜を有する内側壁を具備した凹部を有する拡張部と、

第 1 の表面と、該第 1 の表面と対向する第 2 の表面を有していて、該第 1 の表

面が、前記拡張部の第 2 の面及び前記半導体チップの前記第 2 の主表面に接してこれらを支持し、かつ前記半導体チップが発生する熱を伝導して、該熱を該第 2 の表面側から大気中に放散することができる下地と、

前記電極パッドの一部分が露出するように、前記内側壁の表面上、前記拡張部の表面上及び前記第 1 の主表面上に形成されている絶縁膜と、

前記電極パッドの各々に電氣的に接続されていて、該電極パッドから前記拡張部の第 1 の面の上側へと導出されている、複数の配線パターンと、

前記配線パターン及び前記絶縁膜上に、該配線パターンの一部分を露出させて形成されている封止部と、

前記拡張部の上側を含む領域の前記配線パターン上に設けられた複数の外部端子とを具えていることを特徴とする半導体装置。

【請求項 3】 前記配線パターン及び前記外部端子間に形成されている複数の電極ポストとを具え、

前記封止部は、前記電極ポストの頂面を露出するように形成されていることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】 前記拡張部は、前記封止部の成形収縮よりも大きい成形収縮を有する材料により形成されていることを特徴とする請求項 1 ～ 3 のいずれか一項に記載の半導体装置。

【請求項 5】 前記拡張部は、ガラス転移温度よりも低い温度範囲での線膨張係数が $1.5 \times 10^{-5} / ^\circ\text{C}$ よりも小さく、かつ弾性率が $7.8 \sim 22 \text{ GPa}$ の範囲の液状樹脂により形成されていることを特徴とする請求項 1 ～ 4 のいずれか一項に記載の半導体装置。

【請求項 6】 前記下地の前記第 2 の面が、該第 2 の面の面積を増大させる立体的な構造として形成されていることを特徴とする請求項 1 ～ 5 のいずれか一項に記載の半導体装置。

【請求項 7】 前記下地が、最低でも $150 \text{ W/m} \cdot \text{K}$ の熱伝導率を有する材料により形成されていることを特徴とする請求項 1 ～ 6 のいずれか一項に記載の半導体装置。

【請求項 8】 前記下地が、銅 (Cu)、アルミニウム (Al) 及び銅・タ

ングステン合金（CuW）を含む群から選択される金属材料、又は炭化ケイ素（SiC）及び窒化アルミニウム（AlN）を含む群から選択されるセラミック材料のいずれかにより形成されていることを特徴とする請求項1～7のいずれか一項に記載の半導体装置。

【請求項9】 （1）第1の表面と、該第1の表面と対向する第2の表面とを有している下地上に、複数の半導体チップが配置される複数の半導体チップ配置領域を所定の間隔で設定し、及び該半導体チップ配置領域を囲むように個片化を補助するための構造を形成する工程と、

（2）前記半導体チップ配置領域上に、複数の電極パッドを具えている第1の主表面と、該第1の主表面に対向する第2の主表面と、該第1の主表面及び該第2の主表面間の複数の側面とを有する半導体チップを、前記第2の主表面と対面させて設ける工程と、

（3）前記下地上に、第1の面と、該第1の面と対向する第2の面とを有していて、前記半導体チップの前記側面に接して該半導体チップを囲み、かつ前記第1の面のレベルが該第1の主表面のレベルと実質的に同一のレベルとなるように形成されている拡張部を形成する工程と、

（4）前記拡張部の第1の面上及び前記第1の主表面上に、絶縁膜を、前記電極パッドの一部分を露出させて形成する工程と、

（5）前記絶縁膜上に、前記電極パッドの各々に電氣的に接続されていて、該電極パッドから前記拡張部の第1の面の上側へと導出されている複数の配線パターンを形成する工程と、

（6）前記配線パターン及び前記絶縁膜上に、封止部を、前記第1の面の上側に位置する該配線パターンの一部分を露出させて形成する工程と、

（7）前記拡張部の上側を含む領域の前記配線パターン上に、複数の外部端子を接続して形成する工程と、

（8）前記個片化を補助するための構造を通る切断線に沿うように切断して、該半導体チップを含む半導体装置の個片化を行う工程とを含むことを特徴とする半導体装置の製造方法。

【請求項10】 （1）第1の表面と、該第1の表面と対向する第2の表面

を有している下地上に、複数の半導体チップが配置される複数の半導体チップ配置領域を所定の間隔で設定し、及び該半導体チップ配置領域を囲むように個片化を補助するための構造を形成する工程と、

(2) 前記半導体チップ配置領域上に、複数の電極パッドを具えている第1の主表面と、該第1の主表面に対向する第2の主表面と、該第1の主表面及び該第2の主表面間の複数の側面とを有する半導体チップを、前記第2の主表面と対面させて設ける工程と、

(3) 前記下地上に、第1の面と、該第1の面に対向する第2の面とを有して、前記半導体チップの前記側面に接して該半導体チップを囲み、かつ前記第1の面のレベルが該第1の主表面のレベルと実質的に同一のレベルとなるように形成されている拡張部を形成する工程と、

(4) 前記拡張部の第1の面上及び前記第1の主表面上に、絶縁膜を、前記電極パッドの一部分を露出させて形成する工程と、

(5) 前記絶縁膜上に、前記電極パッドの各々に電氣的に接続されていて、該電極パッドから前記拡張部の第1の面の上側へと導出されている複数の配線パターンを形成する工程と、

(6) 前記拡張部の上側に位置する前記配線パターンの一部分上の各々に、複数の電極ポストを形成する工程と、

(7) 前記配線パターン及び前記絶縁膜上に前記電極ポストの頂面を露出させた封止部を形成する工程と、

(8) 露出した前記電極ポストの頂面上に外部端子を形成する工程と、

(9) 前記個片化を補助するための構造を通る切断線に沿うように切断して、該半導体チップを含む半導体装置の個片化を行う工程とを含むことを特徴とする半導体装置の製造方法。

【請求項11】 (1) 第1の表面と、該第1の表面に対向する第2の表面を有している下地上に、複数の半導体チップが配置される複数の半導体チップ配置領域を所定の間隔で設定し、及び該半導体チップ配置領域を囲むように個片化を補助するための構造を形成する工程と、

(2) 前記第1の表面上の前記半導体チップ配置領域以外の領域に、拡張部を

形成する工程と、

(3) 前記半導体チップ配置領域に、複数の電極パッドを具えている第1の主表面と、該第1の主表面と対向する第2の主表面と、前記第1の主表面及び前記第2の主表面間の複数の側面とを有する半導体チップを、該第2の主表面と前記半導体チップ配置領域とが対面するように設ける工程と、

(4) 前記拡張部の第1の面上及び前記第1の主表面上に、絶縁膜を、前記電極パッドの一部分を露出するように形成する工程と、

(5) 前記電極パッドから前記拡張部上を含む領域へと導出されている配線パターンを形成する工程と、

(6) 前記配線パターンが形成されている前記絶縁膜上に、封止部を、前記拡張部上に位置する該配線パターンの一部分を露出させて形成する工程と、

(7) 前記拡張部の上側を含む領域の前記配線パターン上に、複数の外部端子を接続して形成する工程と、

(8) 前記個片化を補助するための構造を通る切断線に沿うように切断して、該半導体チップを含む半導体装置の個片化を行う工程と
を含むことを特徴とする半導体装置の製造方法。

【請求項12】 (1) 第1の表面と、該第1の表面と対向する第2の表面を有している下地上に、複数の半導体チップが配置される複数の半導体チップ配置領域を所定の間隔で設定し、及び該半導体チップ配置領域を囲むように個片化を補助するための構造を形成する工程と、

(2) 前記第1の表面上の前記半導体チップ配置領域以外の領域に、拡張部を形成する工程と、

(3) 前記半導体チップ配置領域に、複数の電極パッドを具えている第1の主表面と、該第1の主表面と対向する第2の主表面と、前記第1の主表面及び前記第2の主表面間の複数の側面とを有する半導体チップを、前記第2の主表面と前記半導体チップ配置領域とが対面するように設ける工程と、

(4) 前記拡張部の表面上及び前記第1の主表面上に、絶縁膜を、前記電極パッドを露出するように形成する工程と、

(5) 前記電極パッドから前記拡張部上を含む領域へと導出されている配線パ

ターンを形成する工程と、

(6) 前記拡張部上の前記配線パターンの一部分上の各々に、複数の電極ポストを形成する工程と、

(7) 前記配線パターン及び前記電極ポスト上に、該電極ポストの頂面を露出するように封止部を形成する工程と、

(8) 露出した前記電極ポストの頂面上に外部端子を形成する工程と、

(9) 前記個片化を補助するための構造を通る切断線に沿うように切断して、前記半導体チップを含む半導体装置の個片化を行う工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 1 3】 前記(2)工程が、前記第1の表面上の前記半導体チップ配置領域以外の領域を、拡張部の材料により覆う工程であり、前記(3)工程と前記(4)工程との間に、前記拡張部の材料を硬化して、拡張部を形成する工程をさらに含む

ことを特徴とする請求項 1 1 又は 1 2 に記載の半導体装置の製造方法。

【請求項 1 4】 (1) 第1の表面と、該第1の表面と対向する第2の表面を有している下地上に、複数の半導体チップが配置される複数の半導体チップ配置領域を所定の間隔で設定し、及び該半導体チップ配置領域を囲むように個片化を補助するための構造を形成する工程と、

(2) 前記第1の表面上の前記半導体チップ配置領域上に凹部を具えるように、拡張部の材料を設ける工程と、

(3) 前記凹部内に、複数の電極パッドを具えている第1の主表面と、該第1の主表面と対向する第2の主表面と、前記第1の主表面及び前記第2の主表面間の複数の側面とを有する半導体チップを、前記第2の主表面と前記半導体チップ配置領域とが対面するように設ける工程と、

(4) 前記拡張部の材料を硬化して、拡張部を形成する工程と、

(5) 前記拡張部の表面上及び前記第1の主表面上に、絶縁膜を、前記電極パッドを露出するように形成する工程と、

(6) 前記電極パッドから前記拡張部上を含む領域へと導出されている配線パターンを形成する工程と、

(7) 前記配線パターンが形成されている前記絶縁膜上に、封止部を、前記拡張部上に位置する該配線パターンの一部分を露出させて形成する工程と、

(8) 前記拡張部の上側を含む領域の前記配線パターン上に、複数の外部端子を接続して形成する工程と、

(9) 前記個片化を補助するための構造を通る切断線に沿うように切断して、該半導体チップを含む半導体装置の個片化を行う工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 15】 (1) 第 1 の表面と、該第 1 の表面と対向する第 2 の表面を有している下地上に、複数の半導体チップが配置される複数の半導体チップ配置領域を所定の間隔で設定し、及び該半導体チップ配置領域を囲むように個片化を補助するための構造を形成する工程と、

(2) 前記下地上の前記半導体チップ配置領域上に凹部を具えるように、拡張部の材料を設ける工程と、

(3) 前記凹部内に、複数の電極パッドを具えている第 1 の主表面と、該第 1 の主表面と対向する第 2 の主表面と、前記第 1 の主表面及び前記第 2 の主表面間の複数の側面とを有する半導体チップを、該第 2 の主表面が対面するように設ける工程と、

(4) 前記拡張部の材料を硬化して、拡張部を形成する工程と、

(5) 前記拡張部の表面上及び前記第 1 の主表面上に、絶縁膜を、前記電極パッドを露出するように形成する工程と、

(6) 前記電極パッドから前記拡張部上を含む領域へと導出されている配線パターンを形成する工程と、

(7) 前記拡張部上の前記配線パターンの一部分上の各々に、複数の電極ポストを形成する工程と、

(8) 前記配線パターン及び前記電極ポスト上に、該電極ポストの頂面を露出するように封止部を形成する工程と、

(9) 露出した前記電極ポストの頂面上に外部端子を形成する工程と、

(10) 前記個片化を補助するための構造を含む切断線に沿うように切断して、該半導体チップを含む半導体装置の個片化を行う工程と

を含むことを特徴とする半導体装置の製造方法。

【請求項 1 6】 前記個片化を補助するための構造を溝とし、及び前記切断線を該溝を通る切断線とすることを特徴とする請求項 9 ～ 1 5 のいずれか一項に記載の半導体装置の製造方法。

【請求項 1 7】 前記個片化を補助するための構造を前記第 1 の表面から前記第 2 の表面に至る複数の貫通孔とし、及び前記切断線が該複数の貫通孔を通る切断線とすることを特徴とする請求項 9 ～ 1 5 のいずれか一項に記載の半導体装置の製造方法。

【請求項 1 8】 前記下地の前記半導体チップ配置領域以外の領域に、位置合わせ用のマークがさらに形成されていて、複数の半導体チップ配置領域に複数の半導体チップを所定の間隔で配置する工程が、前記位置合わせ用のマークの座標を基準として調整しつつ、所定の間隔で配置する工程であることを特徴とする請求項 9 ～ 1 7 のいずれか一項に記載の半導体装置の製造方法。

【請求項 1 9】 前記位置合わせ用のマークは貫通孔として形成されていて、前記半導体チップを含む半導体装置の個片化を行う工程が、該位置合わせ用のマークの座標を基準として切断位置を調整しつつ、前記切断線に沿うように切断する工程であることを特徴とする請求項 1 8 に記載の半導体装置の製造方法。

【請求項 2 0】 前記下地の前記半導体チップ配置領域以外の領域に対向する前記第 2 の表面側の領域にさらなる位置合わせ用のマークが形成されていて、前記半導体チップを含む半導体装置の個片化を行う工程が、該さらなる位置合わせ用のマークの座標を基準として切断位置を調整しつつ、前記切断線に沿うように切断する工程であることを特徴とする請求項 1 8 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、半導体装置及びその製造方法に関し、特に外部端子のさらなる増加に対応するための構成を有する半導体装置及びその製造方法に関する。

【0 0 0 2】

【従来の技術】

近年、パッケージ化された半導体装置のさらなる小型化、薄型化が要求されている。この要求に応えるために、パッケージの外形サイズが半導体チップの外形サイズと実質的に同一である、ウェハレベルチップサイズパッケージ (Wafer Level Chip Size Package) (以下、単にWCSPとも称する。) と呼ばれるパッケージ形態が提案されている。

【0003】

WCSPは、半導体チップを含んでいる。この半導体チップは、所定の機能を有する回路素子及びこの回路素子上に電氣的に接続されている複数の電極パッドを具えている。第1の主表面上には、複数の電極パッドを、露出させるように、絶縁膜が形成されている。

【0004】

この絶縁膜の表面上には、露出している電極パッドに接続され、かつ複数の配線パターンが形成されている。

【0005】

これらの配線パターン上には、電極ポストが形成されている。そして、この絶縁膜と配線パターンとを覆い、かつ電極ポストの頂面が露出するように封止部が形成されている。

【0006】

さらに、電極ポストの頂面上には、例えばBGAパッケージの場合には半田ボールとして設けられた、複数の外部端子を具えている。

【0007】

このようにWCSPは、半導体チップの回路形成面上に相当する領域に、複数の外部電極を、例えば格子状に設けるファンイン構造を有している。

【0008】

このような構造の外部電極を具えている半導体チップを、プリント板上に搭載するにあたり、プリント板と外部電極との接続部における破断の発生を防止する目的で、電極パッドを有する半導体チップと、半導体チップ上の所定の位置に形成され、電極パッドに接続される配線と、配線上の所定の位置に形成され、配線

に接続される外部電極と、外部電極に接続されるプリント板と、半導体チップ上に形成された基板を有していて、基板及びプリント板の熱膨張を整合させるための樹脂層が基板上に設けられている構成、特に外部電極が樹脂層上に設けられている構造をとる半導体装置が知られている（例えば、特許文献1参照。）。

【0009】

【特許文献1】

特開2000-208556号公報（特許請求の範囲及び図5）

【0010】

【発明が解決しようとする課題】

半導体装置の高機能化に伴い、1つのパッケージ化された半導体装置に形成される外部端子の数は、ますます増加する傾向にある。従来、このような外部端子の増加に対する要求には、隣接する外部端子同士の間隔を狭める構成とすることで対応している。外部端子の配置間隔と配置位置とに関しては、以下説明するように設計の自由度が著しく制限されている。

【0011】

上述した従来のWCSPは、隣接する外部端子同士の最小間隔は、具体的には0.5mm程度とされている。また、7mm×7mm角のWCSPの場合には、設けられている外部端子の数は160程度である。

【0012】

パッケージ化された半導体装置のさらなる外部端子の増加に対する要求により、7mm×7mm角のWCSPに300程度の外部端子を設けることが望まれている。

【0013】

上述したWCSPにおいて、隣接する外部端子同士の間隔をより狭めて、WCSPの表面上により多数の外部電極を形成することは、技術的には不可能ではない。

【0014】

しかしながら、7mm×7mm角のWCSPの表面積に300個の外部端子を形成することは、かなり困難である。また、外部端子同士の間隔を狭めると、W

CSPを実装基板上に実装するためには、極めて高度な技術が必要となる。

【0015】

例えば、複数の外部端子同士の間隔を、0.3mm～0.7mm程度の範囲で、実装基板の実装ピッチに合わせて形成することが求められる場合もある。

【0016】

このような場合に、従来のパッケージの構成では、基板上に半導体チップを、いわゆるフリップチップ接続により接続して、当該半導体チップを基板を介して、外部電極と接続するか又はワイヤボンディングにより基板と半導体チップとを接続して、基板を介して外部電極と接続している。いずれの接続手法も基板を使用するため、また、ワイヤのループの高さ分の封止材が余計に必要なため、パッケージが厚くなってしまふ。さらには基板のコストがかかるため、パッケージが高価となってしまふ。特にフリップチップ接続の場合には、より高価なビルドアップ基板が必要となることから、パッケージがより高価なものとなってしまふ。

【0017】

また、一方、ワイヤボンディングによる接続を行った場合には、ワイヤ部分のインダクタンスが高くなってしまふ。

【0018】

加えて、近年の半導体装置の製造工程プロセスの微細化及び回路素子の高集積化による半導体装置の高発熱化が顕著である。周辺の構造物及び半導体装置自体が発熱による高温に曝されることで、例えば誤動作を起こす恐れがある。

【0019】

そこで、この発明の目的は、外部端子の配置間隔と配置位置の設計自由度が高まると共に、パッケージ自体のコンパクト化が可能な構成を有し、加えて、半導体チップが発生する熱を大気中（半導体装置をとりまく一定の広さの空間の雰囲気も含む。以下同じ。）に放散するための構成を具える半導体装置を提供することにある。

【0020】

【課題を解決するための手段】

この目的の達成を図るため、この発明の半導体装置は、下記のような構成上の特徴を有している。すなわち、この発明の半導体装置は、複数の電極パッドを具えている第1の主表面と、第1の主表面に対向する第2の主表面と、第1の主表面と第2の主表面との間の複数の側面とを有する半導体チップを含んでいる。

【 0 0 2 1 】

拡張部は、第1の面と、この第1の面に対向する第2の面とを有している。この拡張部は、上述の半導体チップの側面に接して半導体チップを囲み、第1の面が第1の主表面のレベルと、実質的に同一のレベルとなるように形成されている。

【 0 0 2 2 】

さらにこの発明の半導体装置は、下地を具えている。この下地は第1の表面と、第1の表面に対向する第2の表面を有している。そして、この第1の表面が、拡張部の第2の面及び半導体チップの第2の主表面とに接してこれらを支持している。この下地は、上述の半導体チップが発生する熱を伝導（吸収）して、この熱を第2の表面から大気中に放散する機能を有している。

【 0 0 2 3 】

絶縁膜は、半導体チップの複数の電極パッドの一部分が露出するように、第1の面上及び第1の主表面上に形成されている。

【 0 0 2 4 】

複数の配線パターンは、電極パッドの各々に電氣的に接続されていて、電極パッドから拡張部の第1の面の上側へと導出されている。

【 0 0 2 5 】

封止部は、配線パターン及び絶縁膜上に、配線パターンの一部分を露出するように形成されている。

【 0 0 2 6 】

さらに、この発明の半導体装置は、拡張部の上側を含む領域の配線パターン上に設けられた複数の外部端子とを具えている。

【 0 0 2 7 】

この発明の半導体装置の構成によれば、半導体チップに接してこれを囲むよう

に設けられている拡張部の上側にも、外部端子を設けることができる構成としてあるので、外部電極の配置間隔及び配置位置等の設計の自由度を増大させた半導体装置を提供することができる。また、この発明の半導体装置は、いわゆるWCSPの製造工程を適用することで、基板等のインターポーザを使用しない構成とすることができるので、ワイヤボンディング接続との比較では、さらなる動作の高速化、高機能化、多機能化及びコンパクト化を図ることができる。また、フリップチップ接続との比較では、同等の電気的特性をより安価に得ることができる。

【 0 0 2 8 】

さらに、この発明の半導体装置は、半導体チップの発生する熱を、放熱性を考慮した下地を介して、半導体装置をとりまく雰囲気（大気）中に放散させることができるので、熱に起因する誤動作等の不具合を防止することができる。

【 0 0 2 9 】

また、この発明の半導体装置の製造方法の主要工程は、下記の通りである。

【 0 0 3 0 】

第1の表面と、第1の表面と対向する第2の表面を有している下地上に、複数の半導体チップが配置される複数の半導体チップ配置領域を所定の間隔で設定し、半導体チップ配置領域を囲むように個片化を補助するための構造を形成する。

【 0 0 3 1 】

半導体チップ配置領域上に、複数の電極パッドを具えている第1の主表面と、第1の主表面に対向する第2の主表面と、第1の主表面と第2の主表面間の複数の側面とを有する半導体チップを、第2の主表面と対面させて設ける。

【 0 0 3 2 】

下地上に、第1の面と、この第1の面と対向する第2の面とを有していて、半導体チップの側面に接して半導体チップを囲み、第1の面のレベルが第1の主表面のレベルと実質的に同一のレベルとなるように形成されている拡張部を形成する。

【 0 0 3 3 】

拡張部の第1の面上及び半導体チップの第1の主表面上に、絶縁膜を、電極パ

ッドの一部分を露出させて形成する。

【 0 0 3 4 】

絶縁膜上に、電極パッドの各々に電氣的に接続されていて、この電極パッドから拡張部の第 1 の面の上側へと導出されている複数の配線パターンを形成する。

【 0 0 3 5 】

配線パターン及び絶縁膜上に、封止部を、第 1 の面の上側に位置する配線パターンの一部分を露出させて形成する。

【 0 0 3 6 】

拡張部の上側を含む領域の配線パターン上に、複数の外部端子を接続して形成する。

【 0 0 3 7 】

個片化を補助するための構造を通る切断線に沿うように切断して、半導体チップを含む半導体装置の個片化を行う。

【 0 0 3 8 】

この発明の半導体装置の製造方法によれば、より簡易な工程で、高機能化、多機能化及びコンパクト化された半導体装置を提供することができる。特に外部電極の配置間隔及び配置位置等の設計の自由度を極めて大きくすることができる。

【 0 0 3 9 】

また、個片化を補助するための構造、例えば 1 又は 2 以上の溝部、又は複数の貫通孔が下地に形成されているので、半導体装置の個片化工程を極めて容易に行うことができる。

【 0 0 4 0 】

特に下地が熱伝導性及び放熱性を考慮して、例えば金属材料により形成されている場合には、個片化工程の実施により不可避免的に生じる金属材料のばり（削りくず）の量を減少させることができる。従って、金属材料のばりが例えば実装基板の回路間、電子部品の端子間に付着することにより引き起こされる電氣的な短絡、及びこの短絡により引き起こされる誤作動等の不具合を顕著に減少させることができる。また、外形異常を減少させることができる。

【 0 0 4 1 】

さらに、個片化工程に使用される切削装置のうち、下地に接触してこれを切削するブレードの摩耗をより減少させることができるので、半導体装置の製造コストのさらなる削減効果が期待できる。

【 0 0 4 2 】

加えて、位置合わせ用のマークを下地に形成しておくことにより、この位置合わせ用のマークの座標に基づいて高精度に位置を調整しつつ、上述した個片化を補助するための構造の形成、半導体チップの下地上への配置、及び個片化を行うことができる。

【 0 0 4 3 】

【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態につき説明する。なお、図面には、この発明が理解できる程度に各構成成分の形状、大きさ及び配置関係が概略的に示されているに過ぎず、これによりこの発明が特に限定されるものではない。また、以下の説明において、特定の材料、条件及び数値条件等を用いることがあるが、これらは好適例の一つに過ぎず、従って、何らこれらに限定されない。また、以下の説明に用いる各図において同様の構成成分については、同一の符号を付して示し、その重複する説明を省略する場合もあることを理解されたい。

【 0 0 4 4 】

図 1 及び図 2 を参照して、この発明の半導体装置の構成例につき説明する。図 1 (A) は半導体装置の構成例を説明するための上面からみた概略的な平面図であり、図 1 (B) は、配線パターンと電極ポストとの接続関係を説明するために、図 1 (A) の実線 1 1 で囲んだ一部領域を拡大して示した概略的な要部平面図である。また、図 2 (A)、(B)、(C) 及び (D) は、それぞれ 4 つの構成例の図 1 (A) の I - I 破線により切断した切断面を示す概略的な断面図である。

【 0 0 4 5 】

この発明の半導体装置 1 0 は、下地 1 2 上に、半導体チップ 3 0 を具えている。

【 0 0 4 6 】

下地12は、セラミック基板、金属基板及びSi基板等から適宜選択される基板状体又はシート状体で形成するのがよい。下地12の材料としては、熱の伝導性及び熱の放散性を考慮して、後述する拡張部20よりも大きな熱伝導率を有する材料を選択するのがよい。後述する拡張部20に適用されることが想定されている材料の熱伝導率は0.7程度が想定されるので、材料として例えば42Alloy（鉄・ニッケル合金：熱伝導率12.5W/m・K）、又はニッケル（Ni：熱伝導率88W/m・K）を選択することができる。好ましくは、最低でも150W/m・Kの熱伝導率を有する材料を選択するのがよい。具体的には例えば銅（Cu：熱伝導率394W/m・K）、アルミニウム（Al：熱伝導率229W/m・K）及び銅・タングステン合金（CuW：熱伝導率210W/m・K）を含む群から選択される金属材料を選択するか、或いは炭化ケイ素（SiC：熱伝導率260W/m・K）及び窒化アルミニウム（AlN：熱伝導率70～170W/m・K）を含む群から選択されるセラミック材料を選択するのがよい。

【0047】

下地12は、第1の表面12aと、この第1の表面12aと対向する第2の表面12bとを有している。

【0048】

特に下地12を銅（Cu）により形成する場合には、少なくとも第1の表面12aに、後に形成される拡張部20との接着性を向上させるために、薄い酸化膜を形成しておくのがよい。

【0049】

下地12は、後述する製造工程に支障をきたさない範囲で、大気（半導体装置をとりまく雰囲気を含む。以下同じ。）に接する面である第2の表面12bの面積を増大させるような立体的な構造を含むのがよい（図示しない。）。第2の表面12bは、放熱効果を増大させるために、従来公知のいわゆる放熱板（ヒートシンク）の形状に成形することができる。具体的には、下地12を、その第2の表面12bが例えば複数の円柱状の突起が格子状に突出する形状、又は所定の間隔で複数の翼状の板状体突出する形状とすることができる。

【0050】

この半導体チップ30は、第1の主表面36と、第1の主表面36に対向する第2の主表面38と、この第1の主表面36と第2の主表面38との間に1又は2以上の側面37とを有している。そして、半導体チップ30は、所定の機能を有する回路素子及びこの回路素子と電氣的に接続されている複数の電極パッド34を具えている。第1の主表面36には、複数の電極パッド34が設けられている。複数の電極パッド34は、第1の主表面36の周縁に沿って形成されている。

【0051】

そして、この半導体チップ30は、下地12上に、第1の主表面36が上面となるように、すなわち第2の主表面38が半導体チップ配置領域14に対面するように設けられている（図2（A）及び（B））。

【0052】

この発明の半導体装置10は、下地12上に、拡張部20を具えている。この拡張部20は、その第1の面20aのレベル（高さ、以下同じ。）が、半導体チップ30の第1の主表面36のレベルと、実質的に同一のレベルとなるように形成されている。

【0053】

図2（B）は、図2（A）の変形例であって、拡張部20が半導体チップ30側に向かうほど徐々に肉薄となっていく形状の傾斜を有する内側壁24を具える構成例である。図2（D）は、図2（C）の変形例であって、拡張部20が、半導体チップ30側に向かうほど徐々に肉薄となっていく形状の傾斜を有する内側壁24を具える構成例である。

【0054】

また、図2（A）及び（B）の構成例では、半導体チップ配置領域14が露出するように拡張部20が設けられている。

【0055】

図2（C）及び（D）の構成例では、拡張部20が下地12の半導体素子配置領域14を覆い、かつ凹部22aを画成するように形成されている。図2（C）及び（D）の構成例の場合には、拡張部20は、半導体チップ30を設けるため

の凹部 22 を具えている。凹部 22 は、半導体チップ配置領域 14 の輪郭と一致する底面部 22 a を具えている。

【0056】

そして、半導体チップ配置領域 14 上又は凹部 22 内には半導体チップ 30 が設けられている。

【0057】

この半導体チップ 30 は、第 1 の主表面 36 が上面となるように、すなわち第 2 の主表面 38 が、半導体チップ配置領域 14 上又は拡張部 20 の凹部 22 の底面部 22 a に対面するように設けられている。

【0058】

結果として、拡張部 20 は、図 2 (A) 及び (B) の構成においては、半導体チップ 30 の側面 37 を囲むように設けられている。図 2 (C) 及び (D) の構成の場合には、拡張部 20 は半導体チップ 30 の第 1 の主表面 36 以外の面、すなわち側面 37 及び第 2 の主表面 38 を囲むように、設けられている。

【0059】

この拡張部 20 は、例えばエポキシ樹脂や、シリコン樹脂等の有機材料より適宜選択することができる。すなわち、いわゆる液状樹脂又はモールド樹脂を適用することができる。

【0060】

拡張部 20 は、製造工程において、この発明の半導体装置 10 に生じる反りの発生を防止するために、好ましくは、後に形成される封止部の成形収縮よりも大きい成形収縮を有する材料により形成するのがよい。

【0061】

ここでいう「成形収縮」とは、成形工程において生じる材料単体での収縮を意味する。すなわち「成形収縮」とは、成形温度における硬化収縮と成形温度から常温に戻るまでの熱収縮との和に相当する。

【0062】

具体的には、拡張部 20 は、ガラス転移点より低い温度範囲での線膨張係数が $1.5 \times 10^{-5} / ^\circ\text{C}$ よりも小さく、かつ弾性率が $7.8 \sim 22 \text{ GPa}$ の範囲の液

状樹脂により形成するのがよい。拡張部 20 にモールド樹脂を適用する場合については後述する。

【0063】

拡張部 20 の第 1 の面 20 a 及び第 1 の主表面 36 上には、絶縁膜 40 が、複数の電極パッド 34 が露出するように形成されている。

【0064】

この絶縁膜 40 の表面上には、複数の配線パターン 42 が、露出している電極パッド 34 に電氣的に接続されて形成されている。

【0065】

これら配線パターン 42 及び絶縁膜 40 を覆うように半導体チップ 30 及び拡張部 20 のそれぞれの表面領域上に封止部 44 が設けられている。上述の絶縁膜 40 と封止部 44 を総じて絶縁層 48 とも称する。それぞれの配線パターン 42 からこの封止部 44 を貫通して、この封止部 44 の表面に達する電極ポスト 46 がそれぞれ設けられている。これら電極ポスト 46 の一部は、半導体チップ 30 の上側（真上）に設けられており、また、残りの電極ポスト 46 は拡張部 20 の上側（真上）に設けられている。通常は、これら電極ポスト 46 は、一定の間隔で配列させてある。また、各電極ポスト 46 の頂面は、封止部 44 の表面に露出している。この電極ポスト 46 はポスト電極とも称せられ、その露出された頂面には外部端子 47 が設けられている。外部端子 47 としては通常、半田ボール 47 a を設けている。この外部端子 47 は電極パッド 34 の配列間隔よりも広い間隔で配列されて設けられている。

【0066】

ここで、図 1（B）を用いて、電極パッド 34 と配線パターン 42 との接続関係につき説明する。これらの接続関係の理解を容易にするために図 1（A）の部分領域（実線で囲まれた領域）11 を拡大して示してある。配線パターン 42 は、外部端子 47 の下部に接続されて位置する電極ポスト（図 2 に 46 で示す。）と、対応する電極パッド 34 とが規則的、かつ電氣的に接続されている。これら配線パターン 42 を構成する配線として、例えば長配線 42 a、中配線 42 b 及び短配線 42 c を設ける。これらの配線 42 a、42 b 及び 42 c を、この順番

で、それぞれ対応する電極パッド34に、1つの配線と1つの電極パッドという、1対1の接続関係で、接続してある。

【0067】

この配線パターン42は、半導体チップ30の上側（真上）の領域及び拡張部20の上側（真上）、すなわち拡張された領域21の領域の境界にまたがるように設けられている。すなわち、複数の配線パターン42のうち、少なくとも一部は、電極パッド34の各々に個別に電氣的に接続されていて、かつ電極パッド34、すなわち第1の主表面の上側から拡張部20の第1の面20aの上側へと導出されている。

【0068】

この拡張部20の上側（真上）の領域は、外部端子形成領域を半導体素子の表面領域外に拡張している意味で拡張された領域21と称せられる。この構成例ではこの拡張された領域21にも電極ポスト46が形成されている。

【0069】

そして、配線パターン42及び電極ポスト46を覆うように、封止部44が形成されている。封止部44は電極ポスト46の一部分が露出するように形成されている。

【0070】

この電極ポスト46を介して、外部端子47が形成されている。電極ポストを介さずに、封止部44から配線パターン42の一部分を露出させて、直接的に配線パターン42に外部端子を接続する構成とすることもできる。

【0071】

この構成例では、外部端子47を、例えば半田ボール47aで形成している。これら半田ボール47aは、露出している電極ポスト46の頂面に設けられていて、これら電極ポスト46を介して、配線パターン42と接続されている。隣接する電極ポスト46同士の配列及びその間隔は、例えばプリント基板等への実装を考慮して、所望の配列及び間隔とすることができる。

【0072】

なお、図2の各図において、符号16で示されている領域は、後述する製造工

程で生じる個片化を補助するための構造である。これについては後述する。

【0073】

既に説明したとおり、これらの電極ポスト46は、半導体チップ30の上側に対応する表面積の範囲のみならず、拡張部20の上側、すなわち拡張された領域21にも設けられている。従って、電極ポスト46の配置位置及び配置間隔の設計の自由度が増す。すなわち、より実装が容易になるように、外部端子47の配置間隔の制限を緩和して、例えば実装基板側の構成上の要件に沿った、より広い間隔かつ所望の数で形成することができる。具体的には形成される拡張部20の面積を適宜調整することで、所望の配置間隔で、所望の数の外部端子を形成することができる。

【0074】

この発明の半導体装置10の構成によれば、半導体チップ30の側面37、すなわち第1の主表面36及び第2の主表面38以外の面に接して囲むように設けられている拡張部20の上側（真上）、すなわち拡張された領域21に、外部端子47を設ける構成としてあるので、半導体装置10をいわゆるファンアウト構造又は第1の主表面36の上側にも外部端子47が形成されているファンイン／ファンアウト構造として構成することが可能である。従って、外部端子47の配置間隔及び配置位置等の設計の自由度を大きくすることができる。

【0075】

また、下地12を、熱の伝導性及び熱の放散性を考慮した材料で形成されたものを選択し、かつ放熱効果を増大させるために、第2の表面12bの面積を増大させるような立体的な構造を含むように作り込むので、半導体装置10の熱に基因する誤動作等の不具合を防止することができる。

【0076】

この発明の半導体装置10は、いわゆるWCSPの製造工程を利用して、基板等のインターポーザを使用せずに直接的に半導体チップ30と外部端子47とを接続する構成とすることができるので、上述の効果に加えて、例えばワイヤボンディング接続との比較では、さらなる動作の高速化、高機能化、多機能化及びコンパクト化を図ることができる。また、例えばフリップチップ接続との比較では

、同等の電気的特性をより安価に得ることができる。

【0077】

次に図3（A）～図11（C）を参照して、この発明の半導体装置の第1の製造方法につき説明する。

【0078】

図3は、この発明の半導体装置及びその製造方法に適用して好適な下地12の構成例を説明するための上面から見た概略的な平面図（A）及び（A）図のI—I破線に沿って切断した切断面を概略的に示した断面図（B）、（C）である。

【0079】

下地12の第1の表面12aには、位置合わせ用のマーク19が形成されている。この位置合わせ用のマーク19は、第1の表面12a上に形成されている。位置合わせ用のマーク19は、後述する半導体チップ30の半導体チップ配置領域14への配置工程に使用される場合には、第1の表面12a側のみに平面的に、又は例えば溝状あるいは穴状の構成として形成することができる。加えて、個片化工程でも使用する場合には、位置合わせ用のマーク19を、例えば第1の表面12aから第2の表面12bに至る貫通孔として形成するのがよい。

【0080】

この位置合わせ用マーク19は、半導体装置10が形成されない下地12の端縁に沿うように形成される。このとき、位置合わせ用マーク19は下地12の中心点Cに対して点对称となるように形成するのがよい。

【0081】

図3（A）に示した構成例では、互いに隣接する4つの半導体チップ配置領域14の中心を下地12の中心点Cと仮定して、この中心点Cを対称点として上下方向に1対、すなわち2つの位置合わせ用のマーク19を形成してある。より位置決め精度を向上させるために、複数対の位置合わせ用のマーク19を形成してもよい。この場合には、複数対の位置合わせ用のマーク19をそれぞれの対ごとに互いにある程度離間するように形成するのがよい。具体的には、下地12の中心点Cを通り、かつ対を形成する2つの位置合わせ用のマーク19を結ぶ複数の線分同士が例えば60°程度の角度で交わるように、複数対の位置合わせ用のマ

ーク 19 を離間して形成するのがよい。

【0082】

また、個片化工程を考慮すると、下地 12 の中心点 C を通り、かつ対を形成する 2 つの位置合わせ用のマーク 19 を結ぶ複数の線分同士が例えば 90° 程度の角度で交わるように、複数対の位置合わせ用のマークを離間して形成するのがよい。

【0083】

個片化工程での使用を考慮すると、位置合わせ用マーク 19 については、上述したように、第 1 の表面 12 a から第 2 の表面 12 b に至る貫通孔として形成するのがよい。また、半導体チップ 30 を半導体チップ配置領域 14 に配置するための位置合わせ用のマーク 19 とは、別に下地 12 の第 1 の表面 12 a の半導体チップ配置領域以外の領域に対向する前記第 2 の表面 12 b 側の領域にさらなる位置合わせ用のマークを形成してもよい。このさらなる位置合わせ用のマークの形成位置は、第 1 の表面 12 a 側に形成される位置合わせ用のマーク 19 の形成位置と対応するように形成されていても、又は独立して対応しない位置に形成されていてもよい。形成工程については後述する。

【0084】

下地 12 には、個片化を補助するための構造が形成される。このような構造として例えば図 3 (B) に示すように、下地 12 の第 1 の表面 12 a から第 2 の表面 12 b に至る複数の貫通孔 16、又は図 3 (C) に示すように、下地 12 の第 1 の表面 12 a 側から形成されている複数の溝部 18 が形成される。

【0085】

複数の貫通孔 16 として、個片化を補助するための構造が形成される場合には、それぞれの貫通孔 16 は半導体装置 10 が形成される領域を囲むように形成される。このとき、形成された複数の貫通孔 16 は、製造される半導体装置 10 に対応する後述する下地 12 上の領域が製造工程中に脱落しない程度の間隔となるように、それぞれ互いに離間するように形成される。

【0086】

この発明の実施の形態の構成例では、半導体装置 10 の平面形状を正形状と

して、この正方形の外周を構成する各辺毎に1つ（隣接する2つの半導体装置10の間隙では、1つの貫通孔19が共有される。）の、平面形状、横断面形状及び縦断面形状がそれぞれ矩形状である貫通孔16を形成する例を説明する。しかしながら、この例に限定されず、各辺（外周）に2つ以上の貫通孔19を、この例では直線状に配列して、ミシン目のように形成することもできる。また、貫通孔19の平面形状、横断面形状及び縦断面形状は例示した矩形状に限られず、適宜好適な円形等の形状とすることもできる。

【0087】

図3（C）に示したように、溝部18として、個片化を補助するための構造が形成される場合には、上述したような図3（A）に示したような配置の構成例に限られず、例えば連続的に形成される1つの溝部18として構成することもできる。また、上述したようにミシン目状に複数の溝部18を配列させる構成としてもよい。また、貫通孔19の平面形状及び断面（横断面及び縦断面）形状は、図示したような矩形状に限られず、適宜好適な円形等の形状とすることもできる。溝部18は半導体装置10が形成される領域を囲むように形成される。

【0088】

この構成例では、溝部18を基板12の第1の表面12a側から形成する例を説明したが、溝部18を例えば第2の表面12b側から形成することもできる。また、図示しないが溝部18を第1及び第2の表面12a及び12bの両側からそれぞれ形成してもよい。

【0089】

これらの貫通孔16又は溝部18は、図3（A）に示したように、一点破線で示した切断線aにより切断することで個片化ができるように、従って、複数の貫通孔16、或いは1又は2以上の溝部18を切断線aが連続的に通るように形成される。

【0090】

貫通孔16及び溝部18の切断線aに対する横幅、並びに溝部18の深さは、個片化工程が、支障なく行える程度で設定される。横幅については、好ましくは例えば50～200 μ m程度とすればよい。

【0091】

貫通孔16及び溝部18は、下地12を構成する材料に応じた適宜好適な従来公知の製造工程により形成することができる。例えば下地12が上述したような金属材料により構成される場合であって、貫通孔16を形成する場合には、プレス加工、エッチング、ルータ加工、又はレーザ加工により、適宜好適な条件で実施するのがよい。また、溝部18を形成する場合には、エッチング、ルータ加工、又はレーザ加工により、適宜好適な条件で実施することができる。さらに、例えば下地12がセラミック材料により形成される場合であって、貫通孔16を形成する場合には、焼成前にプレス加工を行うのがよく、また溝部18を形成する場合には、焼成前にプレス加工を行なうか、又は焼成後にスクライブ加工を行ってもよい。位置合わせ用のマーク19についても同様に形成することができる。

【0092】

次に、図4(A)～図11(C)を用いて、この発明の半導体装置10の製造例における具体的な製造工程につき説明する。

【0093】

図4(A)～図11(C)において、原則として、(A)図はこの発明の半導体装置の構成を説明するための上面からみた概略的な部分平面図であり、(B)図及び(C)図は、(A)図のI-I破線により切断した切断面を示す概略的な断面図である。例外として、図7(B)は、説明を容易にするために図7(A)に示した実線11で囲まれた部分を拡大して示す部分拡大図である。さらに図8は図7(A)のI-I線に沿って切断して示した概略的な断面図である。

【0094】

下地12には、上述したような位置合わせ用のマーク19が予め形成されている。下地12上には、半導体チップ30が載置される半導体チップ配置領域14を設定する。この半導体チップ配置領域14の輪郭は、半導体チップ30の輪郭と実質的に一致している。隣接する半導体チップ配置領域14同士間の間隔は、互いに等間隔としておく。この間隔は、後述する個片化工程で実施される半導体装置10を個片化するために必要なマージン面積、所望の外部端子の数に応じて形成される拡張部の表面領域の面積等を考慮して、十分な間隔とすればよい。

【0095】

この半導体チップ配置領域14の配置位置に基づいて、図3(A)～(C)を用いて説明した、個片化を補助するための構造である貫通孔16(図3(B))又は溝部(図3(C))が形成される。

【0096】

次いで、図4(A)、(B)及び(C)に示したように、設定された半導体チップ配置領域14上に、位置合わせ用のマーク19の座標を基準にして、適切な配置位置となるように位置合わせを行って下地12上に複数の半導体チップ30を配置する。下地12の第1の表面12aには、接着材等の接着手段を設けておくのがよい(図示しない。)

【0097】

そしてこの接着手段により半導体チップ30を半導体チップ配置領域14上に接着保持するのがよい。

【0098】

この半導体チップ30は、上述したように、第1の主表面36を具えている。第1の主表面36は、電極パッド34を具えている。電極パッド34は、複数個が、半導体チップ30の周縁に沿って設けられている。そして半導体装置30は、第1の主表面36に対向する第2の主表面38と、第1の主表面と第2の主表面との間に1又は2以上の側面37を有している。

【0099】

次に、図5(A)、(B)及び(C)に示したように、半導体チップ30の側面37、すなわち第1及び第2の主表面36及び38以外の面に接してこれを囲み、複数の半導体チップ30同士の間隙を埋めるようにして拡張部20を形成する。また、このとき、下地12に形成されている個片化を補助するための構造である貫通孔16又は溝部18も拡張部20を構成するための材料により埋め込む。

【0100】

この拡張部20は、上述したように、いわゆる液状樹脂又はモールド樹脂を材料として適用することができる。例えばエポキシ樹脂や、シリコン樹脂等の有

機材料より適宜選択して形成することができる。

【0101】

拡張部20は、製造工程において、半導体装置10に生じてしまう反りの発生を防止するために、好ましくは、後に形成される封止部の成形収縮よりも小さい成形収縮を有する材料により形成するのがよい。具体的には、拡張部20は、材料として、ガラス転移温度より低い温度での線膨張係数が $1.5 \times 10^{-5}/^{\circ}\text{C}$ よりも小さく、かつ弾性率が7.8~22GPaの範囲の液状樹脂により形成するのがよい。

【0102】

拡張部20の形成には例えば以下の①~③の方法が適用可能である。①及び②は、液状樹脂を拡張部20に適用する場合に採用される方法であり、③はモールド樹脂を拡張部20に適用する場合に採用される方法である。

①ディスペンス方式により、液状樹脂を複数の半導体チップ30同士の間隙を埋めるように供給した後、液状樹脂に適切な硬化手段により硬化する。

②精密印刷方式により、液状樹脂を複数の半導体チップ30同士の間隙を埋めるように供給した後、液状樹脂に適切な硬化手段により硬化する。

③半導体チップ30の第1の主表面36を保護した状態で金型にセットし、トランスファモールド法により、モールド樹脂を複数の半導体チップ30同士の間隙を埋めるように供給した後、モールド樹脂に適切な硬化手段により硬化する。

【0103】

ここで、拡張部20の第1の面20aの高さ、すなわち厚さd2と、半導体チップ30の第1の主表面36との高さ、すなわち厚さd1とは、一致させるのが好ましい。しかしながら、後に形成される配線パターンが、配線切れ等を生じる恐れなくして、形成できる高低差の範囲であれば、若干の段差又はうねり等が存在してもよい。

【0104】

特に拡張部20にモールド樹脂を適用した場合には、厚さ方向の寸法精度を高めることができるので、より高精度に拡張部20を形成することができる。

【0105】

次いで、図6(A)、(B)及び(C)に示すように、拡張部20表面上及び第1の主表面36上に、絶縁膜40を形成する。この絶縁膜40は、半導体チップ30の電極パッド34が少なくとも部分的に露出するように形成される。

【0106】

このとき、一旦電極パッド34を覆うように絶縁膜40を形成した後、例えばフォトリソグラフィ法等を用いて、電極パッド34を露出させる工程としてもよい。

【0107】

上述したように拡張部20の表面と、半導体チップ30の表面とに段差が生じてしまう場合がある。また、拡張部20の表面にうねりや窪みが生じてしまう場合もある。これらの場合には、絶縁膜40用の絶縁材料により、後の工程で配線パターンが形成できる程度に、この段差の程度を緩和するか、又は絶縁膜40を実質的に平坦に形成することもできる。

【0108】

この絶縁膜40の形成は、適切な絶縁性材料を用いて、拡張部20の材質に応じた好適な方法、例えばスピコート法、印刷法又は直接塗布プロセス等といういずれかの従来公知の方法により行える。

【0109】

然る後、図7及び図8に示したように、この絶縁膜40の表面上に、複数の配線パターン42を形成する。これら配線パターン42の形成は、絶縁膜40の表面上に、それぞれの配線パターン42が対応する電極パッド34に電氣的に接続するように設定してから、形成されるべき外部端子の配置を考慮して行う。

【0110】

具体的には適用可能な配線プロセスルールに従って、配線幅、配線間隔及び最適角度等を決定して、可能な限り最短距離となるように接続する。例えば図示したように半導体チップ30の周縁に沿って形成されている複数の電極パッド34に対して、原則として最短距離となるように、長配線42a、中配線42b及び短配線42cを一組とする配線パターン群を複数組形成し、一方の端部をそれぞれ対応する電極パッド34に接続する。そして、他方の端部には、電極ポスト搭

載用のパッドが形成されていて、電極ポストを介して外部端子 4 7（半田ボール 4 7 a）が接続される。すなわち、複数の配線パターン 4 2 は、絶縁膜 4 0 上に、電極パッド 3 4 の各々と個別に電氣的に接続されていて、電極パッド 3 4、すなわち第 1 の主表面 3 6 の上側から拡張部 2 0 の第 1 の面 2 0 a の上側へと導出されるように形成される。

【0 1 1 1】

なお、図 4（A）、図 5（A）、図 6（A）及び図 7（A）において、説明を容易にするために、電極パッド 3 4 の配置数は、実際よりも少ない数として概略的に図示してある。

【0 1 1 2】

この配線パターン 4 2 の形成は、絶縁膜 4 0 の表面領域のうち、拡張部 2 0 の上側、すなわち拡張された領域 2 1 を含む絶縁膜 4 0 上の所望の領域に、スパッタ及びフォトリソグラフィ等の従来公知の W C S P の製造工程における配線パターンの形成プロセスにより行うことができる。配線パターン 4 2 の形成材料は、任意好適な材料を選択できるが、例えばアルミニウム、銅及び金属合金等の材料により形成するのがよい。例えば銅等の適宜の材料を選択して、行うことができる。

【0 1 1 3】

次いで、図 9（A）、（B）及び（C）に示したように、各配線パターン 4 2 の表面上に、これらと電氣的に接続される電極ポスト 4 6 をそれぞれ形成する。これら電極ポスト 4 6 を拡張部 2 0 の上側（真上）の拡張された領域 2 1 と、半導体チップ 3 0 の上側（真上）の拡張された領域 2 1 に近い領域とに設ける。これら電極ポスト 4 6 を、格子状に所定の間隔で配列するように形成する。この間隔は、上述したように実装を考慮した間隔、すなわち一定な、或いは不規則の間隔とすることができる。

【0 1 1 4】

この電極ポスト 4 6 はメッキ及びフォトリソグラフィ等の従来公知の W C S P の製造工程における電極ポスト 4 6 の形成プロセスにより、適宜の材料を選択して、行うことができる。

【0115】

さらに配線パターン42及び電極ポスト46が形成されている絶縁膜40の表面上を覆うように、封止部44を形成する。封止部44は、配線パターン42の導出部分（電極ポストが形成されない場合には、配線パターン42自体）の一部を露出させるように形成される。

【0116】

この封止工程は、従来公知の方法により、従来公知の封止材料、例えばエポキシ系のモールド樹脂を使用して実施することができる。

【0117】

ここで一般的に使用されるモールド樹脂としては、例えばガラス転移温度より低い温度での線膨張係数が $0.6 \sim 1.3 \times 10^{-5}/^{\circ}\text{C}$ の範囲であり、ガラス転移温度（ T_g ）が $125 \sim 220^{\circ}\text{C}$ の範囲であり、弾性率が $9.8 \sim 24 \text{ GPa}$ （ $1000 \sim 2450 \text{ kg/mm}^2$ ）の範囲の物性値を有するものが挙げられる。これらはこの発明の半導体装置10の製造にも適用して好適である。

【0118】

製造工程における半導体装置10の反りの発生を防止するために、上述したように、特に拡張部20を封止部44と同様に、いわゆるモールド樹脂で形成する場合の材料は、拡張部20を形成するモールド樹脂の成形収縮が封止部44よりも大きくなるように決定される。例えば、拡張部20及び封止部44のモールド樹脂の物性について、以下の組み合わせが挙げられる。

【0119】

① 拡張部／封止部：拡張部のモールド樹脂の物性は、ガラス転移温度より低い温度での線膨張係数が $1.1 \sim 1.5 \times 10^{-5}/^{\circ}\text{C}$ の範囲であって、かつガラス転移温度（ T_g ）が 170°C よりも大きい／封止部のモールド樹脂の物性は、ガラス転移温度より低い温度での線膨張係数が $1.0 \times 10^{-5}/^{\circ}\text{C}$ より小さく、ガラス転移温度（ T_g ）が $125 \sim 220^{\circ}\text{C}$ の範囲であり、かつ弾性率が $14.7 \sim 24 \text{ GPa}$ （ $1500 \sim 2450 \text{ kg/mm}^2$ ）の範囲。

【0120】

② 拡張部／封止部：拡張部のモールド樹脂の物性は、ガラス転移温度より低

い温度での線膨張係数が $1.1 \sim 1.7 \times 10^{-5} / ^\circ\text{C}$ の範囲であって、かつガラス転移温度 (T_g) が 170°C よりも小さく、弾性率が $9.8 \sim 19.6 \text{ GPa}$ ($1000 \sim 2000 \text{ kg/mm}^2$) / 封止部のモールド樹脂の物性は、ガラス転移温度より低い温度での線膨張係数が $1.0 \times 10^{-5} / ^\circ\text{C}$ より小さく、ガラス転移温度 (T_g) が $125 \sim 220^\circ\text{C}$ の範囲であり、弾性率が $14.7 \sim 24 \text{ GPa}$ ($1500 \sim 2450 \text{ kg/mm}^2$) の範囲。

【0121】

③ 拡張部／封止部：拡張部のモールド樹脂の物性は、ガラス転移温度より低い温度での線膨張係数が $1.1 \sim 1.7 \times 10^{-5} / ^\circ\text{C}$ の範囲であり、かつ弾性率が 13.7 GPa (1400 kg/mm^2) であり、かつガラス転移温度 (T_g) が $125^\circ\text{C} \sim 170^\circ\text{C}$ の範囲／封止部のモールド樹脂の物性は、ガラス転移温度より低い温度での線膨張係数が $1.0 \times 10^{-5} / ^\circ\text{C}$ より小さく、ガラス転移温度 (T_g) が $125 \sim 220^\circ\text{C}$ の範囲であり、かつ弾性率が $14.7 \sim 24 \text{ GPa}$ ($1500 \sim 2450 \text{ kg/mm}^2$) の範囲。

【0122】

然る後、図10 (A)、(B) 及び (C) に示したように、封止部44をその表面側から削り取って、電極ポスト46の頂面（上面とも称する。）を露出させる。

【0123】

この工程は、従来公知の研削や研磨工程を適用して行うことができる。

【0124】

また、封止部44の形成に、フィルム成形等の方法を適用することもできる。その場合には、電極ポスト46に実質的に負荷をかけることがない。また、その場合には、上述した封止部44に対する研削工程を要せずに電極ポスト46の頂面を封止部44の表面に露出するように直接的に形成する。

【0125】

このとき、電極ポスト46の露出した頂面に対して設計上必要な任意好適な処理を行ってもよい。例えば電極ポスト46の材料を銅とした場合には、電極ポスト46の頂面にバリアメタル層として、Ni（ニッケル）膜等を形成すること等

してもよい。

【0126】

複数の外部端子47は、拡張部20の上側を含む領域の配線パターン42上に、配線パターン42の導出部分、すなわち露出している一部分のそれぞれと個別に電氣的に接続されるように形成される。

【0127】

この構成例では、封止部44の表面から露出している電極ポスト46を介してその上面に、外部端子47として例えば半田ボール47aを形成する。

【0128】

次いで、下地12に形成されている位置合わせ用のマーク19を使用可能な場合には、位置合わせ用のマーク19の座標を基準として、切断位置を調整して、位置合わせを行った後に、図11(A)、(B)及び(C)に示したように、個片化を補助するための構造である貫通孔16又は溝部18を通るように、一点破線aで示した切断線に沿って、複数の半導体チップ30同士の間を切断する。このようにして所定の機能を発揮する単一の半導体装置として、個片化される。

【0129】

この個片化工程は、好ましくは例えば高速回転するブレード等により、行うのがよい。

【0130】

この発明の半導体装置の製造方法を説明するにあたり、各図では下地12上に、2(縦)×X(横; Xは2以上の正数)の格子状に複数の半導体チップを配置して、同時に複数の半導体装置10を製造する例を図示してある。しかしながら、これに限定されず、例えば、シリコンウェハを用いた従来の半導体装置の製造方法と同様に、下地(ウェハ)12上に、より多数の半導体チップを、例えばより多くの数からなる格子状に配列して同時に製造することもできる。

【0131】

このように第1の製造方法によれば、WCSPの製造工程を適用できるので、半導体装置10を製造するための特別な工程を使用することなく半導体装置10を製造することができる。

【0132】

また、下地12に個片化を補助するための構造を形成してあるので、特に半導体装置の個片化工程を極めて容易に行うことができる。

【0133】

下地が熱伝導性及び放熱性を考慮して、例えば金属材料により形成されている場合には、個片化工程の実施により不可避免的に生じる金属材料のぼり（削りくず）の量を減少させることができる。従って、金属材料のぼりが例えば実装基板の回路間、電子部品の端子間に付着することにより引き起こされる電氣的な短絡、及びこの短絡により引き起こされる誤作動等の不具合を顕著に減少させることができる。また、製造される半導体装置の外形異常を減少させることができる。

【0134】

さらに、個片化工程に使用される切削装置のうち、下地に接触してこれを切削するブレード等の切削手段の摩耗をより減少させることができるので、半導体装置の製造コストのさらなる削減効果が期待できる。

【0135】

加えて、位置合わせ用のマークを下地に形成しておくことにより、この位置合わせ用のマークの座標に基づいて、上述した個片化を補助するための構造の形成、半導体チップの下地上への配置、及び個片化を高精度に行うことができる。

【0136】

次に、図12（A）～図13（C）を参照して、この発明の半導体装置の第2の製造例につき説明する。なお、製造工程の説明において、適用される材料、工程の実施条件等は第1の製造方法と同様であるので、その詳細な説明は省略する。

【0137】

各図は、第2の製造方法の各製造工程を説明するための概略的な断面図である。各図において、平面図については、第1の製造方法で既に説明した図と同様であるのでその図示及び詳細な説明は省略する。ここでは図2（D）に示した半導体装置の構成例を代表として例示し、他の構成例と対比しながら説明する。

【0138】

下地 12 には、上述したような位置合わせ用のマーク 19 が予め形成されている。下地 12 上には、半導体チップ 30 が載置される半導体チップ配置領域 14 を設定する。この半導体チップ配置領域 14 の輪郭は、半導体チップ 30 の輪郭と実質的に一致している。隣接する半導体チップ配置領域 14 同士間の間隔は、互いに等間隔としておく。この間隔は、後述する個片化工程で実施される半導体装置 10 を個片化するために必要なマージン面積、所望の外部端子の数に応じて形成される拡張部の表面領域の面積等を考慮して、十分な間隔とすればよい。

【0139】

この半導体チップ配置領域 14 の配置位置に基づいて、図 3 (A) ~ (C) を用いて説明した、個片化を補助するための構造である貫通孔 16 (図 3 (B) 参照) 又は溝部 (図 3 (C) 参照) が形成される (ここでは図示しない。)

【0140】

次いで、設定された半導体チップ配置領域 14 上に、位置合わせ用のマーク 19 の座標を基準にして、適切な配置位置となるように位置合わせを行って下地 12 上に複数の半導体チップ 30 を配置する。

【0141】

図 12 (A) に示したように、この下地 12 上に、拡張部 20 を形成するための拡張部の材料 20' を設ける。拡張部の材料 20' の物性等の要件については第 1 の方法と同様であるのでその詳細な説明は省略する。

【0142】

この拡張部の材料 20' は、後の工程で半導体チップを設けるための凹部 22 を形成するように下地 12 上に設けられる。この凹部 22 は、半導体チップ配置領域 14 の輪郭と一致する底面部 22a を具えるように形成される。この凹部 22 の底面部 22a 側の厚さ d3 は、例えば後に設けられる半導体チップ 30 の放熱性等を考慮して、適宜設定することができる。

【0143】

また、半導体装置 10 が既に説明した図 2 (A) 及び (B) に示した構成をとる場合には、下地 12 上の半導体チップ配置領域 14 が露出するように、拡張部の材料 20' を設ければよい。

【0144】

拡張部20の形成に適用可能な方法については、第1の製造方法で説明したとおりであるのでその詳細な説明を省略する。

【0145】

図2(C)及び(D)に示した半導体装置10の構成とする場合には、拡張部の材料20'を、下地12上の全面に凹部22の底面部22a側の厚さd3に等しい厚さで、ディスペンス方式、精密印刷方式又はフォトリソグラフィ法等を適用して、1段階又は2段階の工程により凹部22を具えた拡張部20を形成する。このとき、位置合わせ用のマーク19の座標を基準にして、拡張部20を形成するのがよい。

【0146】

このとき、硬化処理の硬化条件によって、拡張部20の凹部(開口部)22に半導体チップ30側に向かうほど徐々に肉薄となっていく形状の傾斜を有する内側壁24を形成することができる。例えば標準的な硬化工程によっても内側壁24を形成することができる。好ましくは、例えば初期硬化を適正な温度よりも高温で、材料の表面側のみが硬化する程度の時間で加熱を行った後、適正な温度で材料(層)の内部まで硬化することにより、傾斜を有する内側壁24を形成することができる。

【0147】

また、例えばフォトリソグラフィ法によるマスク、露光及び現像工程により、半導体チップ30に向かうほど徐々に肉薄となっていく内側壁24を形成することもできる。このフォトリソグラフィ法による傾斜を有する内側壁24の形成工程によれば、より精密に傾斜の角度を設定して形成することが容易になる。

【0148】

次に、図12(B)に示したように、傾斜を有する内側壁24の表面に沿って滑らせるようにして拡張部20の凹部22内に、位置合わせ用のマーク19の座標を基準にして、半導体チップ30を設ける。

【0149】

なお、図2(A)及び(C)の傾斜を有する内側壁24を有しない構成の半導

体装置 1 0 とする場合には、位置合わせ用のマーク 1 9 の座標を基準にして、半導体チップ 3 0 を設けた後に、拡張部の材料 2 0' を硬化して、半導体チップ 3 0 を半導体素子配置領域 1 4 上又は凹部 2 2 内に設けた状態で拡張部 2 0 を形成してもよい。

【0 1 5 0】

図 2 (C) 及び (D) の構成の半導体装置 1 0 とする場合には、半導体チップ 3 0 は、第 1 の主表面 3 6 以外の面、すなわち側面 3 7 及び第 2 の主表面 3 8 とが拡張部 2 0 により、囲まれる。図 2 (A) 及び (B) の構成の半導体装置 1 0 とする場合には、第 1 の主表面 3 6 及び第 2 の主表面 3 8 以外の面、すなわち側面 3 7 が拡張部 2 0 により囲まれる。

【0 1 5 1】

このとき、好ましくは、第 1 の主表面 3 6 のレベルと、硬化処理後の拡張部 2 0 の第 1 の面 2 0 a のレベルとは、実質的に同一のレベルとなるように形成される。

【0 1 5 2】

次いで、第 1 の主表面 3 6 と拡張部 2 0 の第 1 の面 2 0 a 上には、絶縁膜 4 0 が形成される。

【0 1 5 3】

絶縁膜 4 0 は、半導体チップ 3 0 の電極パッド 3 4 が露出するように形成される。

【0 1 5 4】

このとき、一旦電極パッド 3.4 を覆うように絶縁膜 4 0 を形成した後、又は絶縁膜 4 0 の材料を設けた後に、例えばフォトリソグラフィ法等を用いて、電極パッド 3.4 を露出させる工程としてもよい。

【0 1 5 5】

上述したように拡張部 2 0 の第 1 の面 2 0 a と、半導体チップ 3 0 の第 1 の主表面 3 6 との境界に段差が生じてしまう場合がある。また、拡張部 2 0 の第 1 の面 2 0 a にうねりや窪みが生じてしまう場合もある。これらの場合には、絶縁膜 4 0 用の材料により、後に配線パターン 4 2 が形成できる程度に、この段差の程

度を緩和するか、又は絶縁膜 4 0 を平坦に形成することもできる。

【 0 1 5 6 】

この絶縁膜 4 0 は、例えば拡張部 2 0 の材質等に応じた適宜の材料を用い、好適な方法を選択して実施すればよい。例えば、絶縁膜 4 0 の形成工程はスピニング法、印刷法又は直接塗布プロセス等の従来公知の方法により、実施することができる。

【 0 1 5 7 】

然る後、図 1 2 (C) に示したように、絶縁膜 4 0 の表面上に、複数の配線パターン 4 2 を形成する。

【 0 1 5 8 】

この配線パターン 4 2 は、第 1 の主表面 3 6 の上側（真上）から拡張部 2 0 の第 1 の面 2 0 a の上側（真上）の領域を含む領域に、導出されるパターンを含むようにスパッタ及びフォトリソグラフィ等の従来公知の W C S P の製造工程における配線パターンの形成プロセスにより、例えばアルミニウム、銅及び金属合金等の適宜の材料を選択して、行うことができる。

【 0 1 5 9 】

次いで、図 1 3 (A) に示したように、配線パターン 4 2 の表面上であって、拡張部 2 0 の上側（真上）に相当する領域、すなわち拡張された領域 2 1 を含む領域に、複数の電極ポスト 4 6 を、例えば格子状に所定の間隔で形成する。この複数の電極ポスト 4 6 同士の間隔は、上述したように実装を考慮した間隔として、すなわち一定な、或いは不規則の間隔とすることができる。

【 0 1 6 0 】

この電極ポスト 4 6 はメッキ及びフォトリソグラフィ等の従来公知の W C S P の製造工程における電極ポスト 4 6 の形成プロセスにより、適宜の材料を選択して、行うことができる。

【 0 1 6 1 】

さらに拡張部 2 0 及び半導体チップ 3 0 上、又は拡張部 2 0 上に形成されている配線パターン 4 2 及び電極ポスト 4 6 を覆うように、封止部 4 4 を形成する。

【 0 1 6 2 】

この封止部 4 4 の形成工程は、従来公知の封止工程により、従来公知の封止材料、例えばエポキシ系のモールド樹脂を使用して実施することができる。

【 0 1 6 3 】

適用されるモールド樹脂の物性等の要件については、第 1 の方法と同様であるのでその詳細な説明は省略する。

【 0 1 6 4 】

拡張部 2 0 及び封止部 4 4 のモールド樹脂の物性の組み合わせ例についても第 1 の方法と同様であるので、ここでは説明を省略する。

【 0 1 6 5 】

然る後、図 1 3 (B) に示したように、封止部 4 4 をその表面側から削り取って、電極ポスト 4 6 の頂面（上面とも称する。）を、露出させる。

【 0 1 6 6 】

この工程は、従来公知の研削や、研磨工程を適用して行う。

【 0 1 6 7 】

そして、封止部 4 4 の表面から露出している電極ポスト 4 6 を介してその上面に、外部端子 4 7 として例えば半田ボール 4 7 a を形成する。

【 0 1 6 8 】

次いで、図 1 3 (C) に示したように、隣接する半導体チップ同士の間を、位置合わせ用のマーク 1 9 の座標を基準にして、切断位置を調整しつつ、図示されていない個片化を補助するための構造である貫通孔 1 6 又は溝部 1 8 を通るように切断して（図 1 1 (A) 参照。）、所定の機能を発揮する単一の半導体装置として個片化する。

【 0 1 6 9 】

この個片化工程は、好ましくは高速回転するブレードにより、切削することにより行うのがよい。

【 0 1 7 0 】

このように第 2 の製造方法によれば、上述の第 1 の方法により得られる効果に加えて、特に、半導体チップ 3 0 の第 2 の主表面 3 8 側が、拡張部 2 0 により効果的に保護されている半導体装置 1 0 を簡易な工程で製造することができる。

【0171】

この発明のすべての実施の形態において、電極ポスト46は、導電性材料により形成するのがよい。好ましくは銅により形成するのがよい。このとき電極ポスト46の表面に薄い酸化層を形成しておくのがよい。このようにすれば電極ポスト46と封止部44の接着性が向上するため、耐湿性が向上する。

【0172】

この発明の半導体装置において、配線パターン42のうち、この境界上及び境界近傍のある程度の長さの部分領域をより太い、すなわち幅広あるいは肉厚の配線とするのがよい。

【0173】

このように、特にエッジ部効果又は、熱ストレス等により応力が集中しやすいと思われる配線パターン42の部分領域を太く形成しておくことにより、半導体装置10の動作の信頼性が向上する。

【0174】

この発明の半導体装置10において、外部端子47として半田ボール47aを電極ポスト46上に形成する、いわゆるBGA (Ball Grid Array) 型につき説明するが、これに限定されない。例えば、露出している電極ポスト46上に、半田ペーストの塗布及びリフロー、又は無電解メッキによるNi/Au処理によりランドとして、いわゆるLGA (Land Grid Array) 型等の構成することもできる。

【0175】

具体的には、露出している電極ポスト46表面に直接的に半田層を形成するか、電極ポスト46表面にバリアメタル層を形成した後、このバリアメタル層上に金 (Au) メッキ層を形成する。或いは電極ポスト46表面に直接的にSn (スズ) 層を形成して、これを外部端子とする構成としてもよい。

【0176】

この発明の半導体装置10において、電極ポスト46は、アルミニウム、銅等の導電性材料により形成するのがよい。好ましくは銅により形成するのがよい。このとき電極ポスト46の表面に薄い酸化層を形成しておくのがよい。このよう

にすれば電極ポスト 4 6 と封止部 4 4 の接着性が向上するため、耐湿性が向上する。

【0 1 7 7】

また、この発明の半導体装置 1 0 において、封止部の形状は、いわゆるソーカ
ットタイプのみならず、この発明の目的を損なわない範囲で、下地及び／又は拡
張部の外形と合っていないくともよい。

【0 1 7 8】

【発明の効果】

この発明の半導体装置の構成によれば、搭載される半導体チップの側面部を囲
むように設けられている拡張部上、すなわち拡張された領域を含む領域にも、外
部端子を設けることができる、いわゆるファンアウト構造又はファンイン／ファ
ンアウト構造が可能な構成としてあるので、外部端子の配置間隔及び配置位置等
の設計の自由度を大きくすることができる。

【0 1 7 9】

この発明の半導体装置は、いわゆる W C S P の製造工程を利用して、基板等の
インターポーザを使用せずに直接的に半導体チップと外部電極とを接続する構成
とすることができるので、上述の効果に加えて、ワイヤボンディング接続との比
較では、さらなる動作の高速化、高機能化、多機能化及びコンパクト化を図るこ
とができる。また、フリップチップ接続との比較では、同等の電気的特性をより
安価に得ることができる。

【0 1 8 0】

この発明の製造方法によれば、上述の作用効果を奏する半導体装置を簡易な工
程で製造することができる。さらに半導体装置の第 2 の主表面に接するように、
拡張部の材料を設ける構成例によれば、硬化により、これらを互いに接着するこ
とができるので、より容易に半導体装置を製造することができる。また、傾斜し
ている内側壁を有する拡張部をあらかじめ構成する構成例によれば、内側壁の表
面上を滑らせるようにして開口部（凹部）内に位置決めして半導体チップを効率
的に設けることができるので、製造工程の効率のさらなる向上が期待される。

【0 1 8 1】

また、下地12に個片化を補助するための構造を形成してあるので、特に半導体装置の個片化工程を極めて容易に行うことができる。

【0182】

下地が熱伝導性及び放熱性を考慮して、例えば金属材料により形成されている場合には、個片化工程の実施により不可避免的に生じる金属材料のばり（削りくず）の量を減少させることができる。従って、金属材料のばりが例えば実装基板の回路間、電子部品の端子間に付着することにより引き起こされる電氣的な短絡、及びこの短絡により引き起こされる誤作動等の不具合を顕著に減少させることができる。また、製造される半導体装置の外形異常を減少させることができる。

【0183】

さらに、個片化工程に使用される切削装置のうち、下地に接触してこれを切削するブレード等の切削手段の摩耗をより減少させることができるので、半導体装置の製造コストのさらなる削減効果が期待できる。

【0184】

加えて、位置合わせ用のマークを下地に形成しておくことにより、この位置合わせ用のマークの座標に基づいて、上述した個片化を補助するための構造の形成、半導体チップの下地上への配置、及び個片化を高精度に行うことができる。

【図面の簡単な説明】

【図1】

(A)はこの発明の半導体装置の構成例を説明するための概略的な上面からみた平面図であり、図1(B)は、配線パターンと電極パッドとの接続関係を説明するために、図1(A)の一部領域を拡大して示した概略的な要部平面図である。

【図2】

(A)、(B)、(C)及び(D)は、図1(A)の半導体装置を、I-I破線により切断した切断面を示す概略的な断面図である。

【図3】

(A)、(B)及び(C)は、この発明の半導体装置の第1の製造方法に適用して好適な下地の構成例を説明するための上面からみた概略的な平面図及び断面

図である。

【図 4】

(A)、(B) 及び (C) は、この発明の半導体装置の第 1 の製造方法を説明するための上面からみた概略的な平面図及び断面図である。

【図 5】

(A)、(B) 及び (C) は、この発明の半導体装置の第 1 の製造方法を説明するための図 4 に続く上面からみた概略的な平面図及び断面図である。

【図 6】

(A)、(B) 及び (C) は、この発明の半導体装置の第 1 の製造方法を説明するための図 5 に続く上面からみた概略的な平面図及び断面図である。

【図 7】

(A) は、この発明の半導体装置の第 1 の製造方法を説明するための上面からみた概略的な平面図であり、(B) は、(A) の一部領域の拡大図である。

【図 8】

図 7 (A) の I - I 破線により切断した断面図である。

【図 9】

(A)、(B) 及び (C) は、この発明の半導体装置の第 1 の製造方法を説明するための、図 7 及び図 8 に続く上面からみた概略的な平面図及び断面図である。

【図 1 0】

(A)、(B) 及び (C) は、この発明の半導体装置の第 1 の製造方法例を説明するための図 9 に続く上面からみた概略的な平面図及び断面図である。

【図 1 1】

(A)、(B) 及び (C) は、この発明の半導体装置の第 1 の製造方法例を説明するための図 1 0 に続く上面からみた概略的な平面図及び断面図である。

【図 1 2】

(A)、(B) 及び (C) は、この発明の半導体装置の第 2 の製造方法例を説明するための概略的な断面図である。

【図 1 3】

(A)、(B) 及び (C) は、この発明の半導体装置の第 2 の製造方法例を説明するための図 1 2 に続く概略的な断面図である。

【符号の説明】

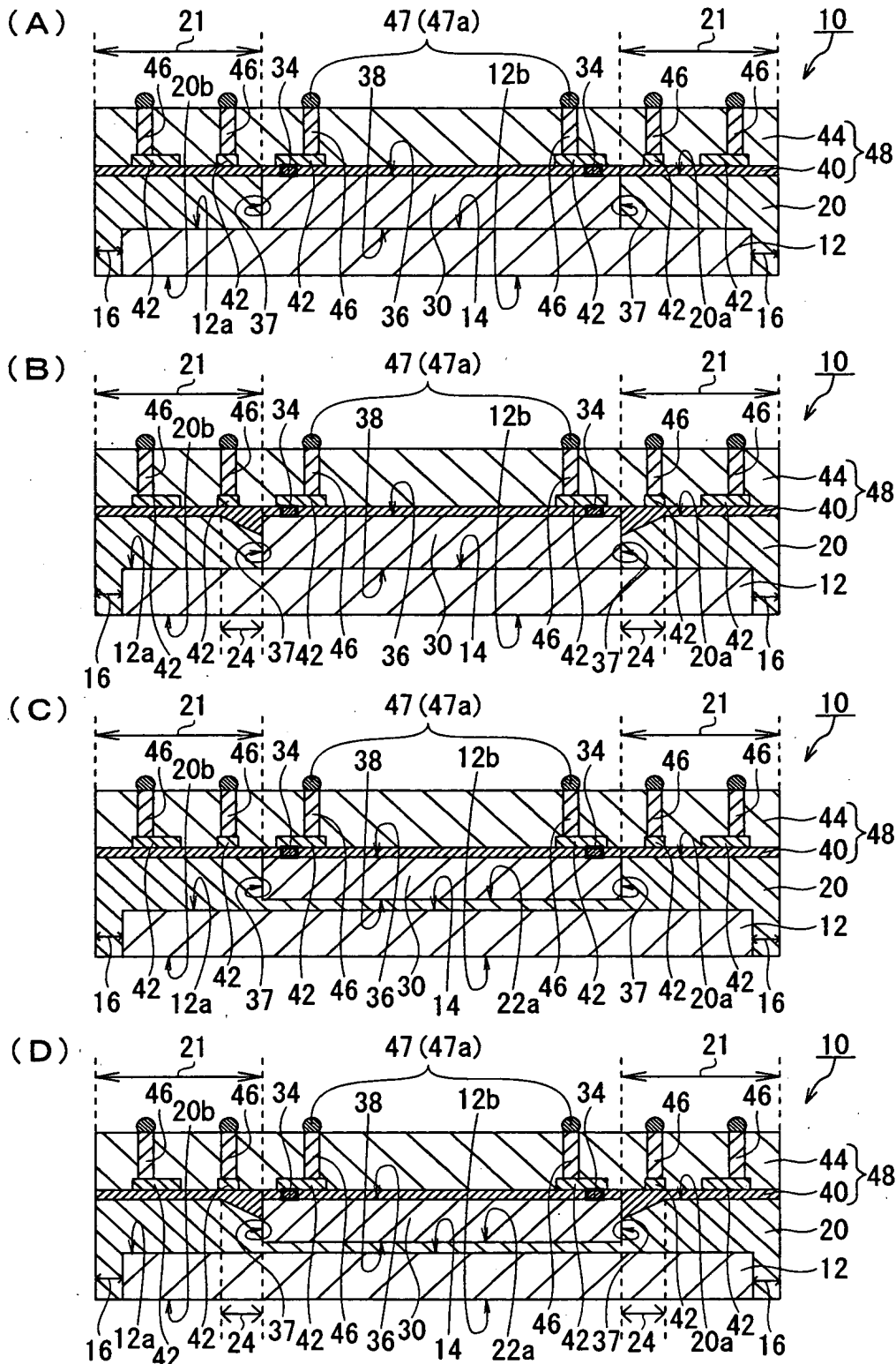
- 1 0 : 半導体装置
- 1 1 : 部分領域
- 1 2 : 下地
- 1 2 a : 第 1 の表面
- 1 2 b : 第 2 の表面
- 1 4 : 半導体チップ配置領域
- 1 6 : 貫通孔
- 1 8 : 溝部
- 1 9 : 位置合わせ用のマーク
- 2 0 : 拡張部
- 2 0 a : 第 1 の面
- 2 0 b : 第 2 の面
- 2 1 : 拡張された領域
- 2 2 : 開口部
- 2 2 a : 底面部
- 3 0 : 半導体チップ
- 3 4 : 電極パッド
- 3 6 : 第 1 の主表面
- 3 7 : 側面
- 3 8 : 第 2 の主表面
- 4 0 : 絶縁膜
- 4 2 : 配線パターン
- 4 2 a : 長配線
- 4 2 b : 中配線
- 4 2 c : 短配線
- 4 4 : 封止部

4 6 : 電極ポスト

4 7 : 外部端子

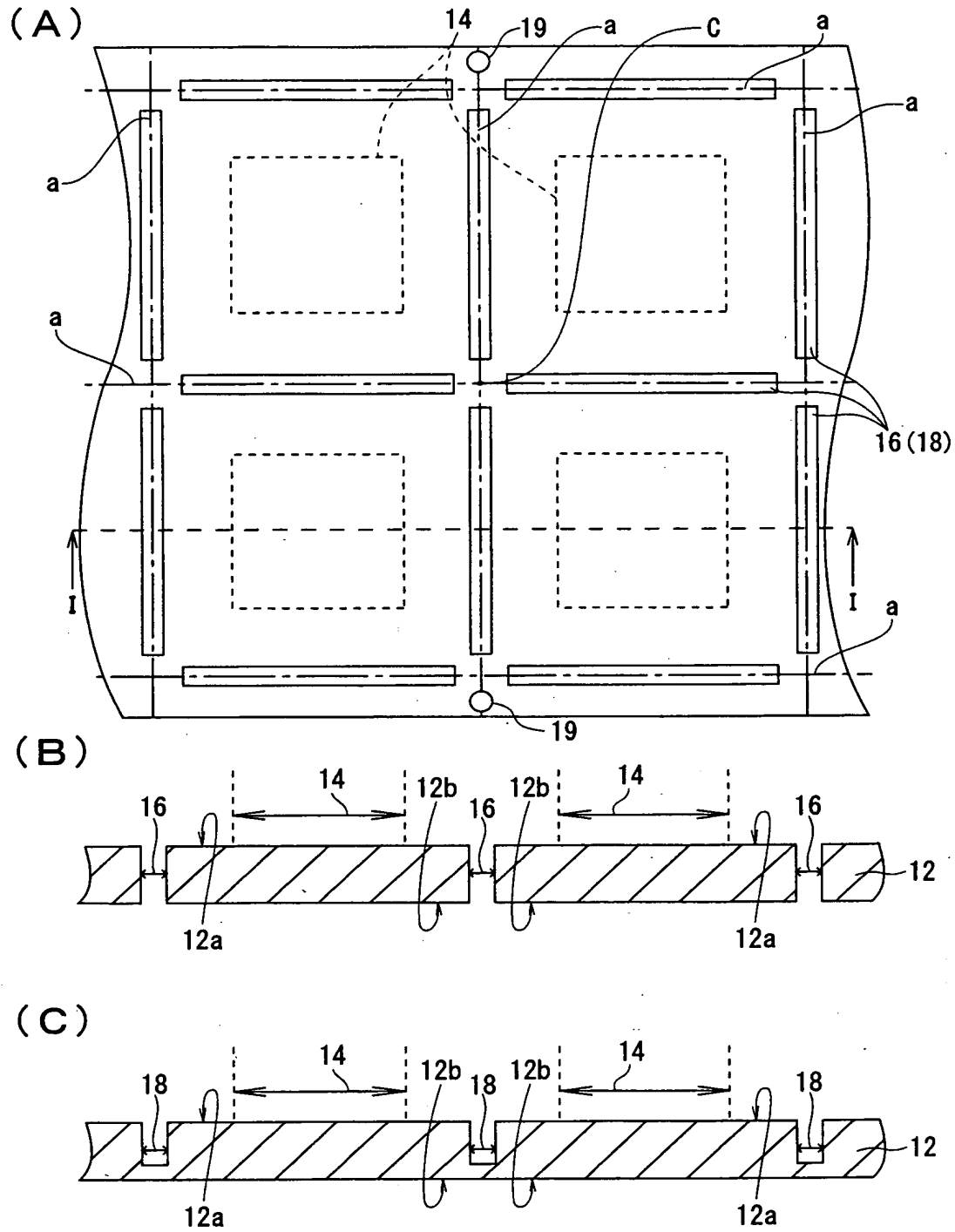
4 7 a : 半田ボール

【図 2】



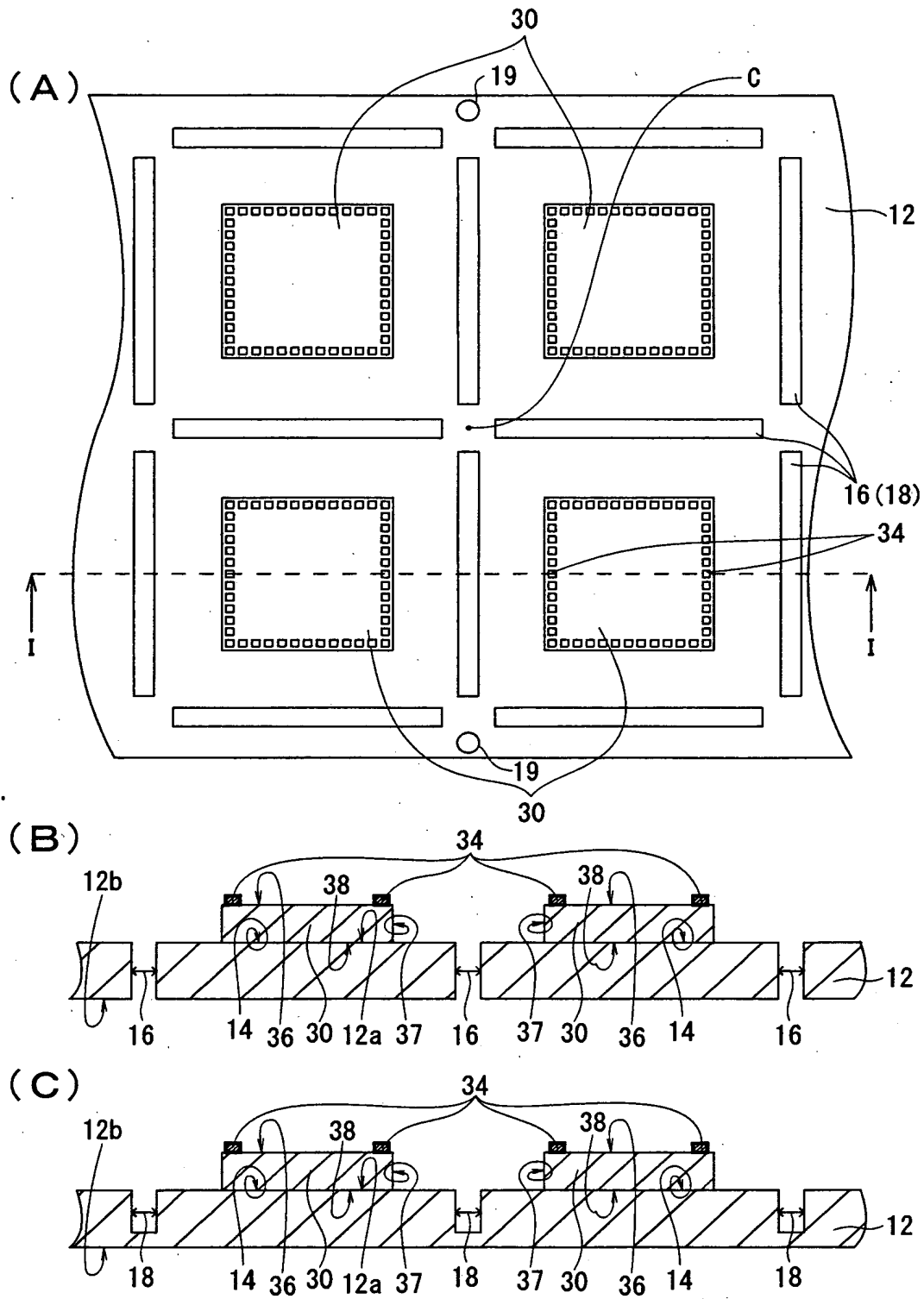
この発明の半導体装置の構成例を示す図(2)

【図 3】



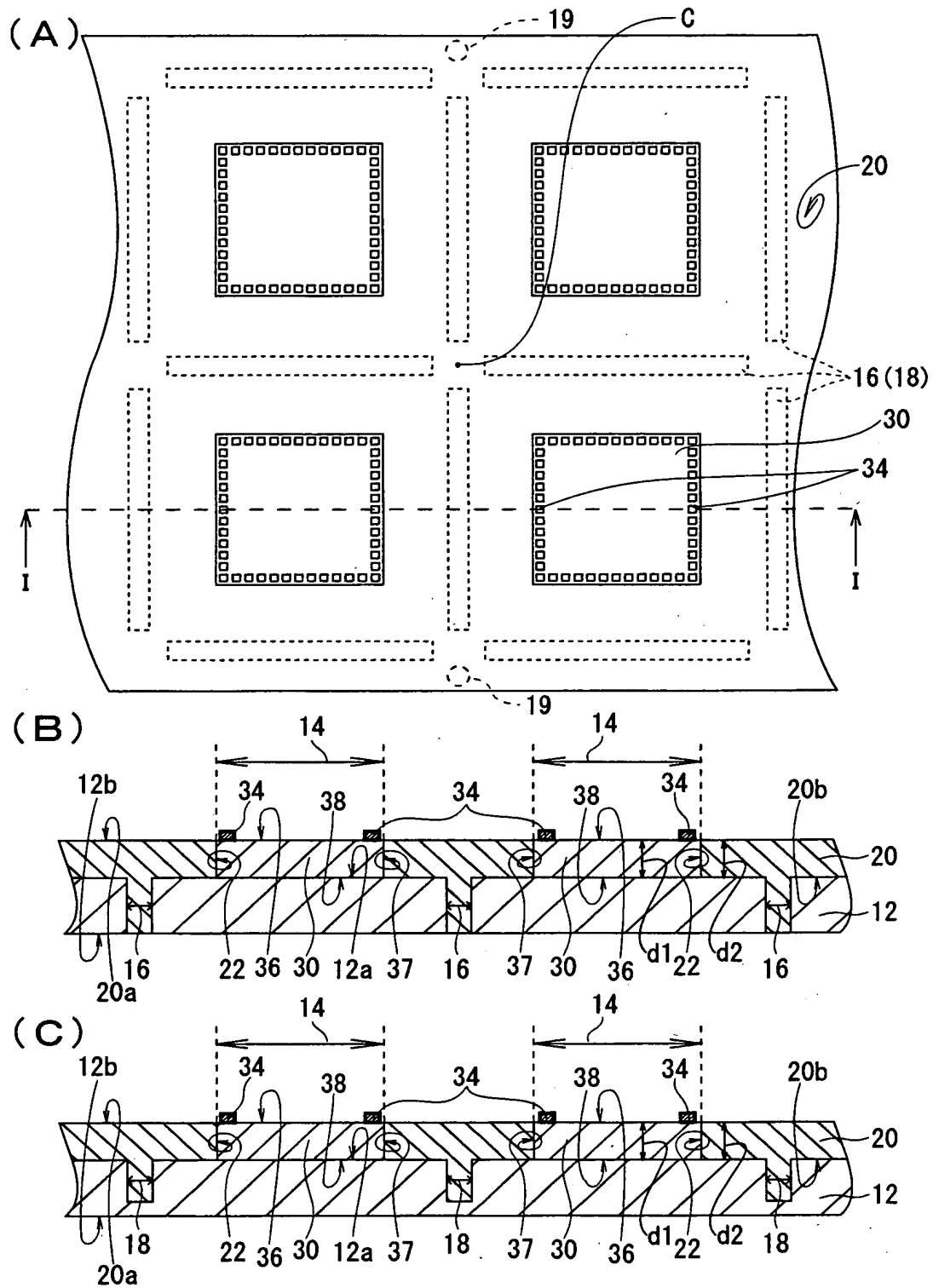
この発明の半導体装置に適用される下地の構成例

【図 4】



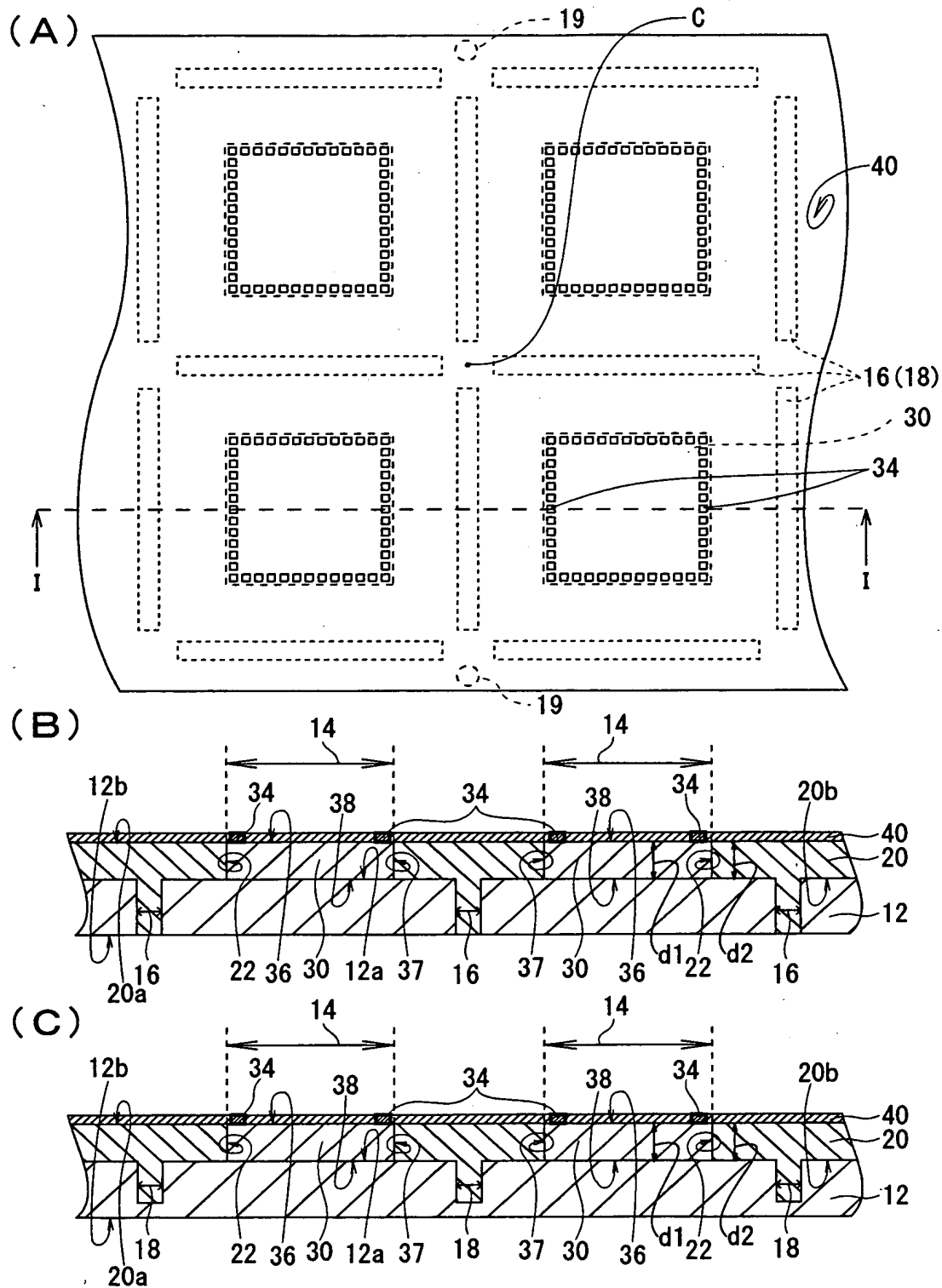
この発明の半導体装置の第1の製造例(1)

【図 5】



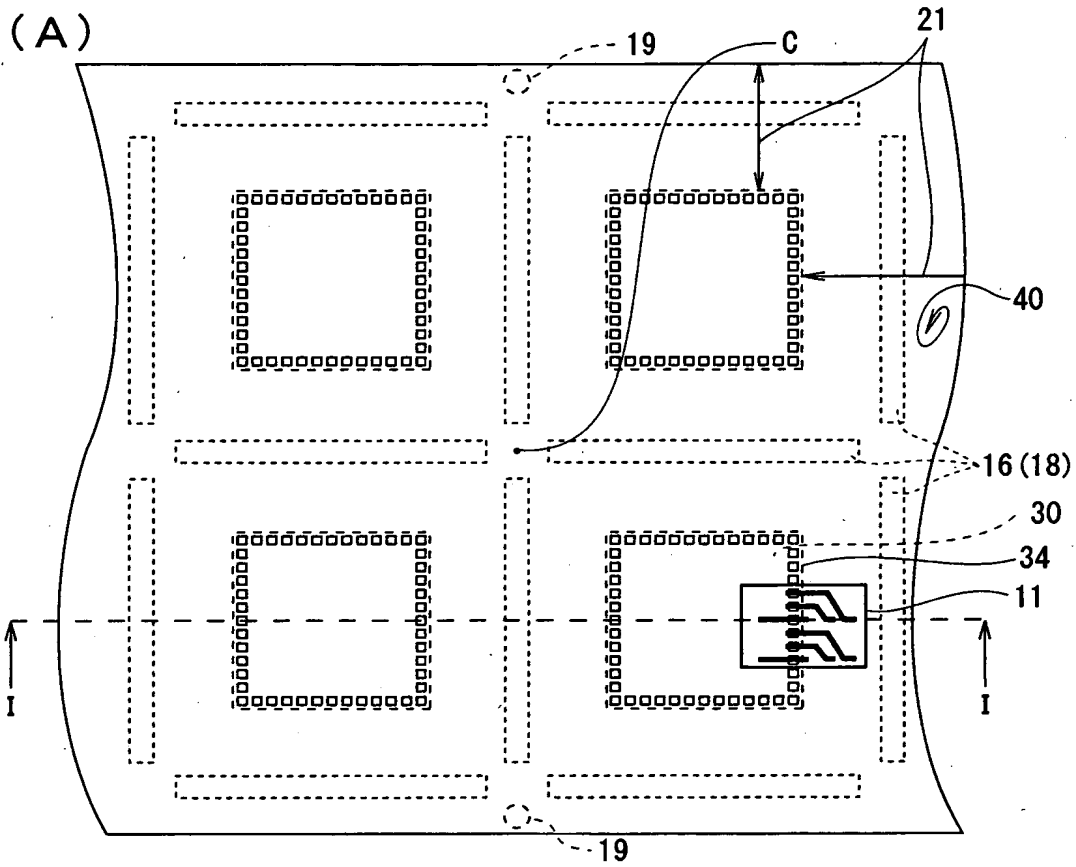
この発明の半導体装置の第1の製造例(2)

【図 6】

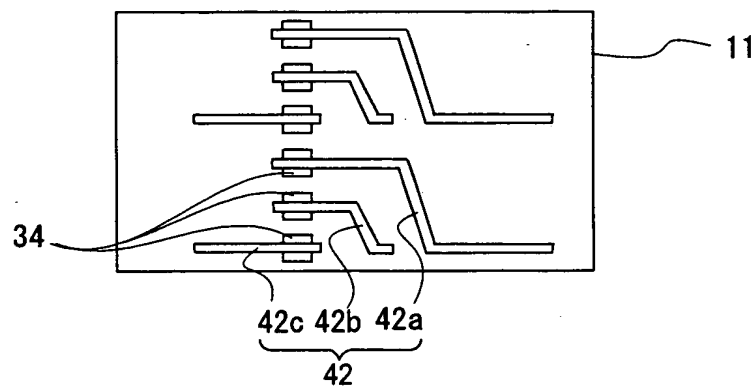


この発明の半導体装置の第1の製造例(3)

【図 7】



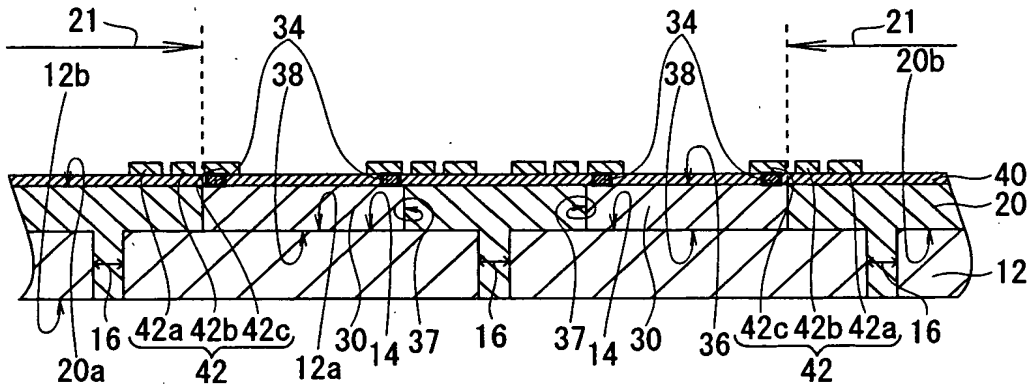
(B)



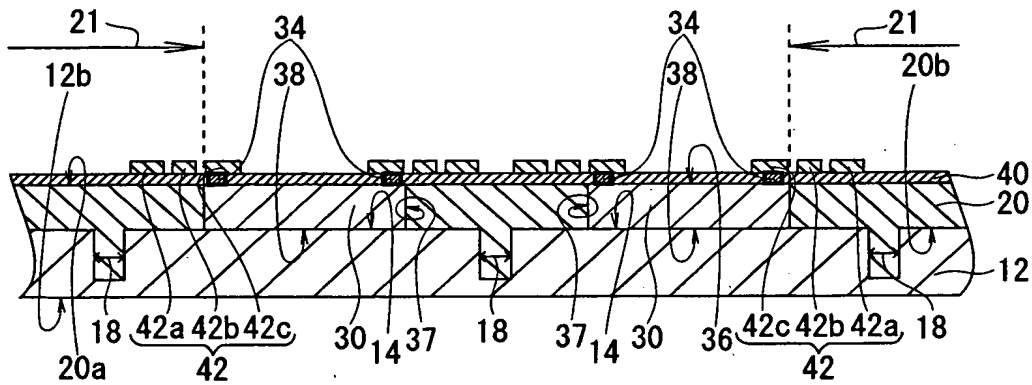
この発明の半導体装置の第1の製造例(4)

【図 8】

(A)

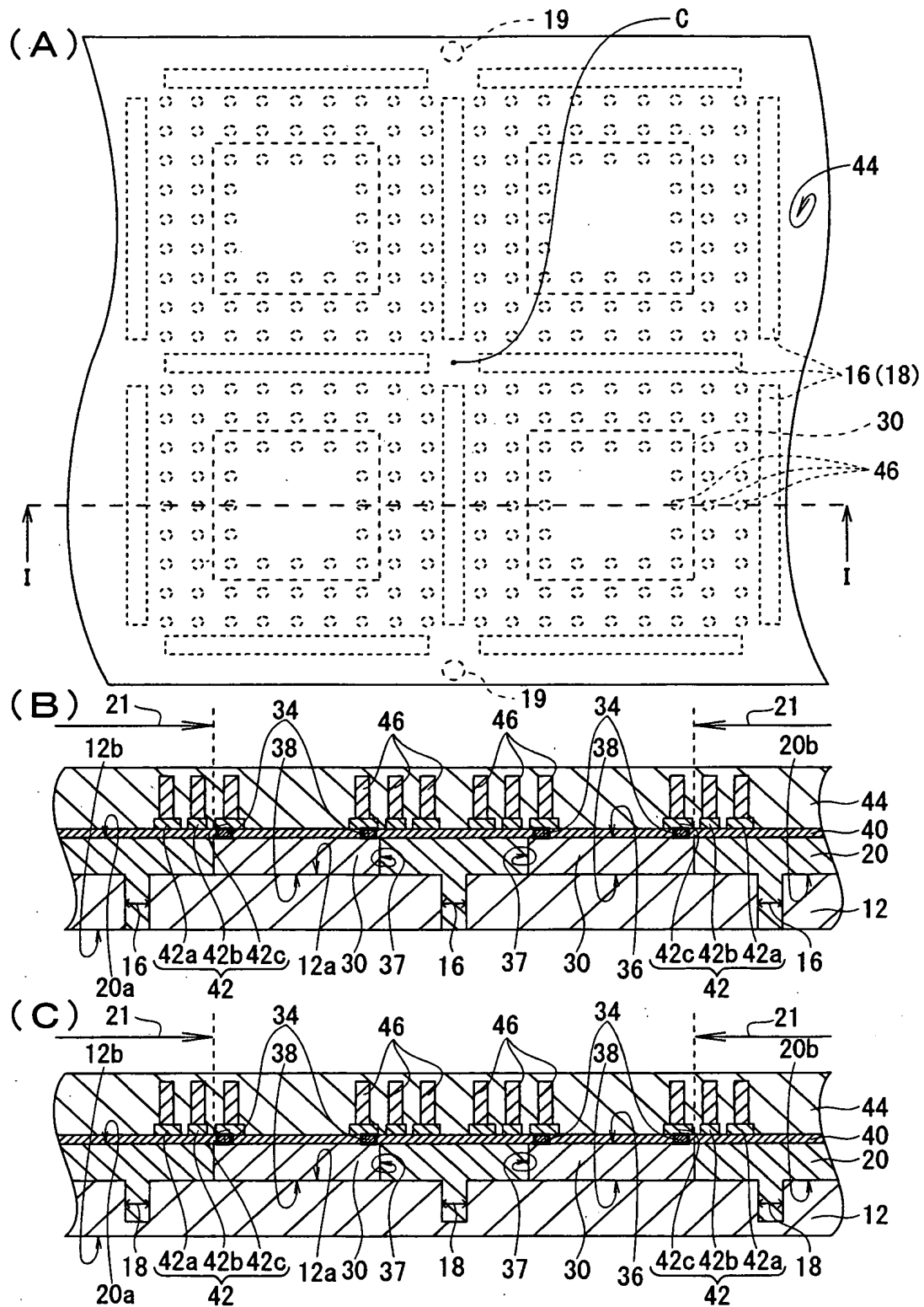


(B)



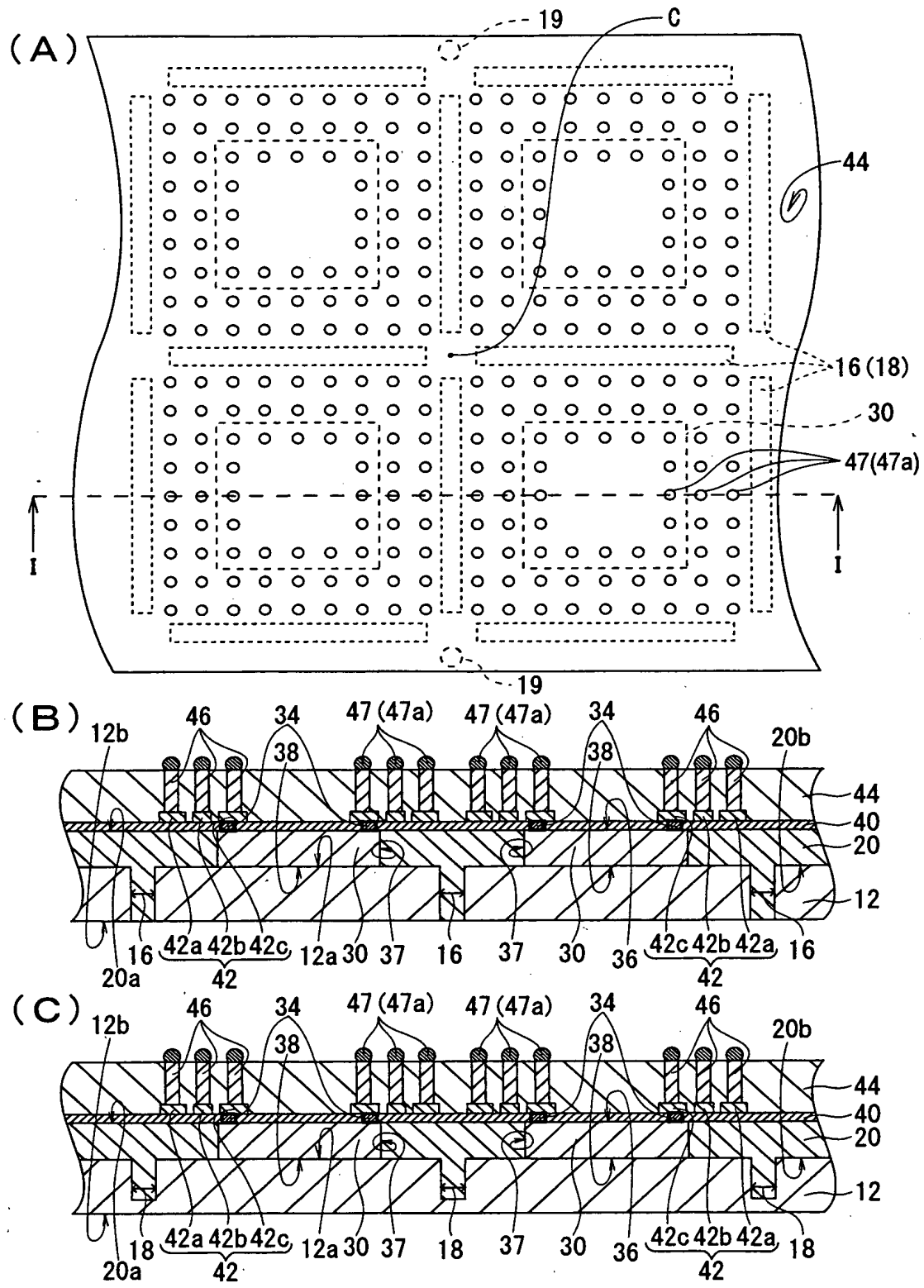
この発明の半導体装置の第1の製造例(4-2)

【図9】



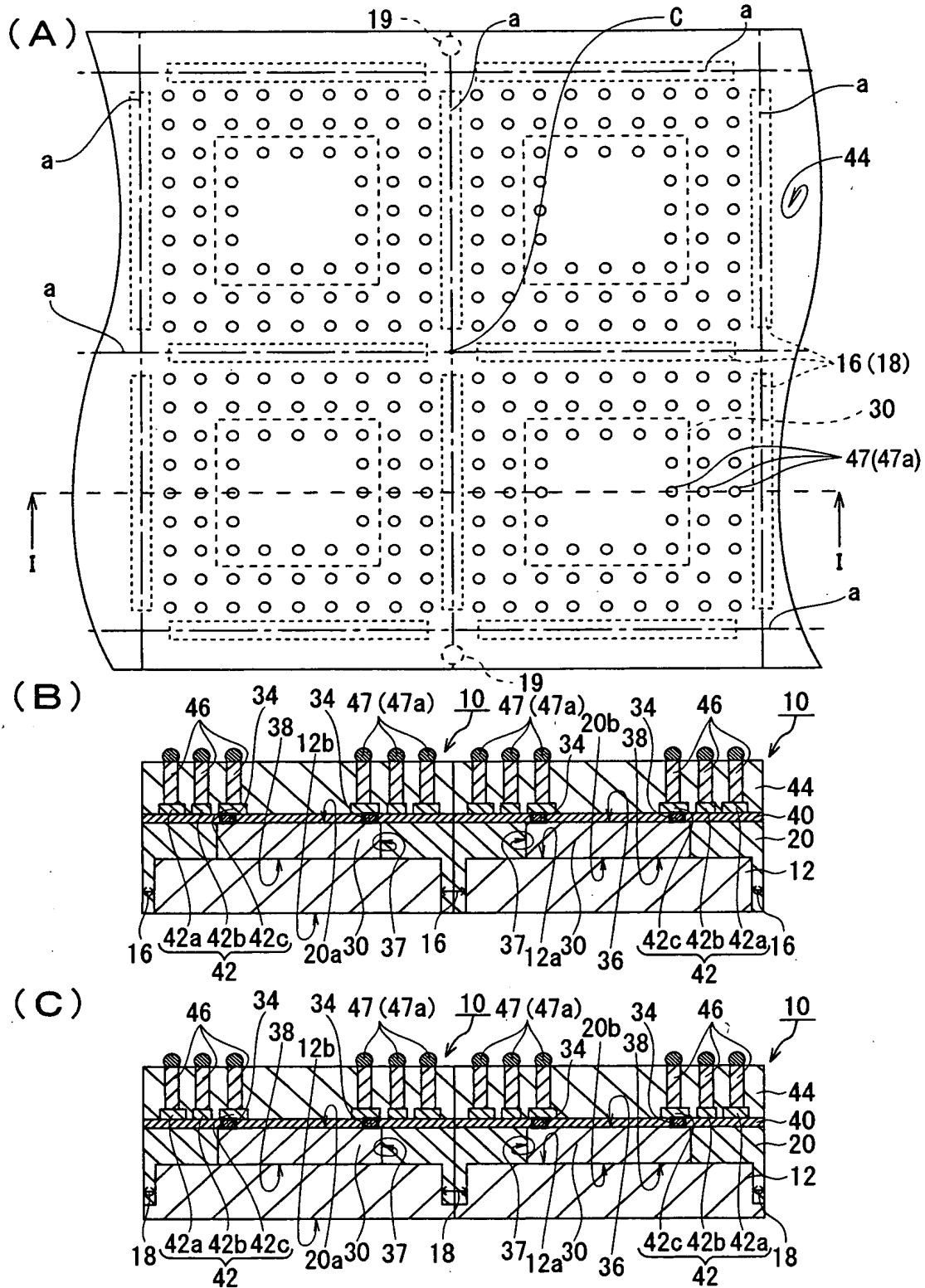
この発明の半導体装置の第1の製造例(5)

【図 10】



この発明の半導体装置の第1の製造例(6)

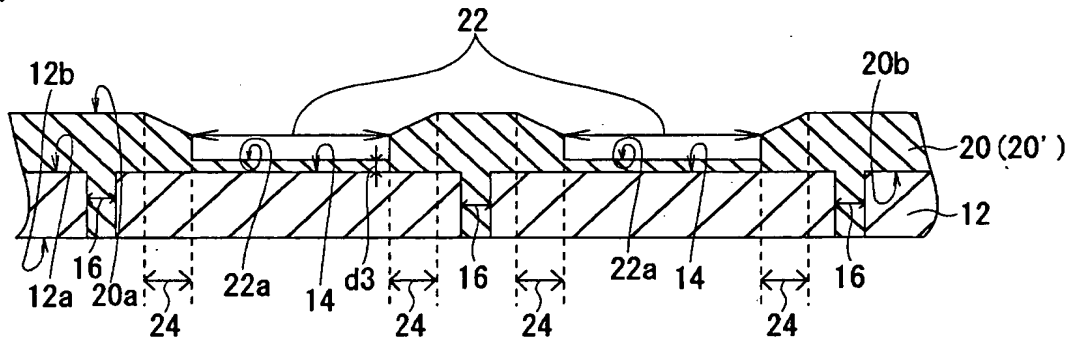
【図 11】



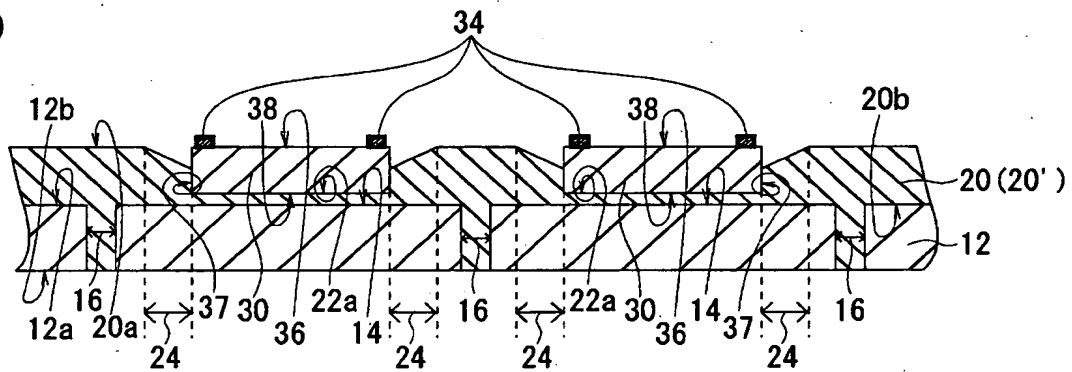
この発明の半導体装置の第1の製造例(7)

【図 12】

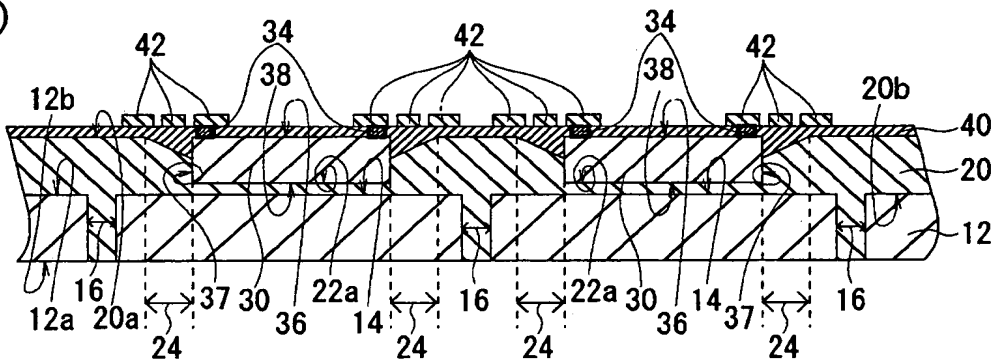
(A)



(B)

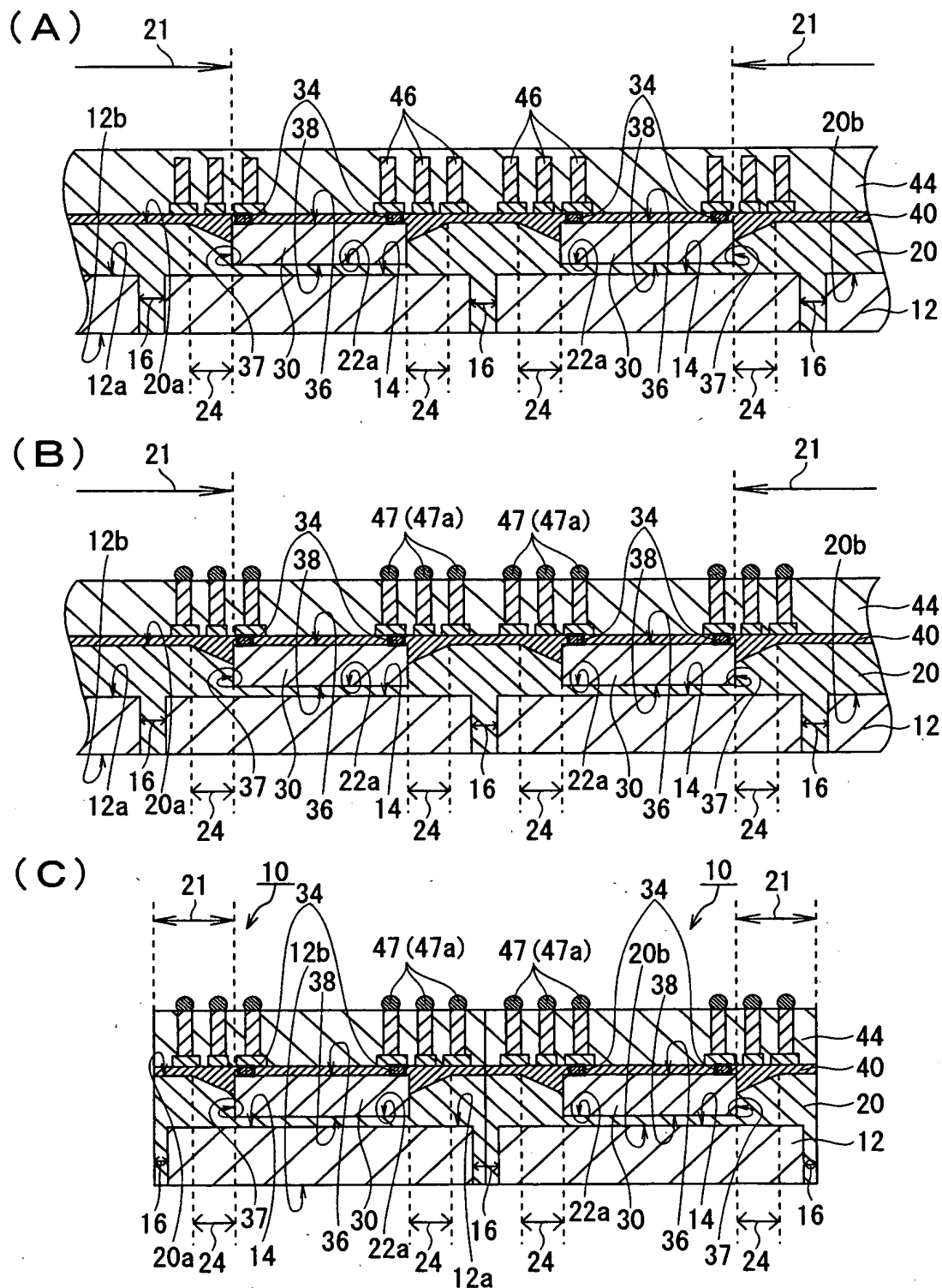


(C)



この発明の半導体装置の第2の製造例(1)

【図 13】.



この発明の半導体装置の第2の製造例(2)

【書類名】 要約書

【要約】

【課題】 外部端子のさらなる増加に対応するための構成を有する半導体装置及びその製造方法。

【解決手段】 半導体装置 1 0 は、複数の電極パッド 3 4 を具えている第 1 の主表面 3 6 と、第 2 の主表面 3 8 と、第 1 の主表面 3 6 と第 2 の主表面 3 8 との間の複数の側面 3 7 とを有する半導体チップ 3 0 と、半導体チップ 3 0 の側面 3 7 に接してこれを囲む拡張部 2 0 と、第 1 の表面 1 2 a が、拡張部 2 0 の第 2 の面 2 0 b 及び第 2 の主表面 3 8 とに接してこれらを支持し、半導体チップ 3 8 が発生する熱を伝導して、熱を第 2 の表面 1 2 b 側から大気中に放散することができる下地 1 2 と、第 1 の面 2 0 a 上及び第 1 の主表面 3 6 上に形成されている絶縁膜 4 0 と、電極パッド 3 4 から拡張部 2 0 の第 1 の面 2 0 a の上側へと導出されている、複数の配線パターン 4 2 と、配線パターン 4 2 及び絶縁膜 4 0 上に、配線パターン 4 2 の一部分を露出させて形成されている封止部 4 0 と、拡張部 2 0 の上側を含む領域の配線パターン 4 2 上に設けられた複数の外部端子 4 7 とを具えている。

【選択図】 図 2

認定・付加情報

特許出願の番号	特願2003-002167
受付番号	50300017770
書類名	特許願
担当官	第五担当上席 0094
作成日	平成15年 1月 9日

<認定情報・付加情報>

【提出日】 平成15年 1月 8日

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	東京都港区虎ノ門1丁目7番12号
氏 名	沖電気工業株式会社